

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-008379

(43)Date of publication of application : 12.01.1999

(51)Int.Cl.

H01L 29/78

(21)Application number : 09-158672

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.06.1997

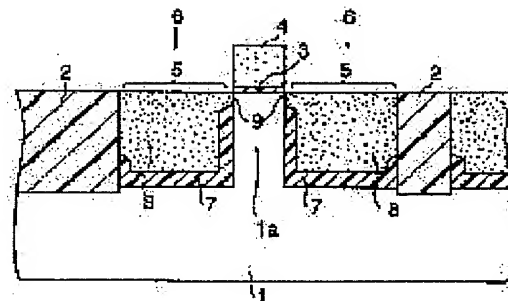
(72)Inventor : INOHARA MASAHIRO
MATSUMOTO MASAHIKO
NAKAYAMA TAKEO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress short channel effect by providing source-drain-forming regions, covering the inner walls of trenches with an insulation film, except for the portions to be connected to channels and filling the trenches with a conductive layer as source-drain regions.

SOLUTION: Trenches 6 between element isolating regions 2 and gate electrodes 4 have first sidewalls, which face the regions 2 and have an oxide film to form STI and bottom face and three second sidewall defined by the surfaces of Si substrates 1, 1a. Among second sidewalls with exposed Si surface, the bottom and the sidewalls at the gate electrode are covered with an insulation film, a conductive layer 8 for forming source-drain regions 5 of MOS transistors is embedded in the trenches 6 deeply to the regions 5 and Si surface 9, and the regions 5 are connected to channel regions. This greatly reduces the series resistance and dielectric capacity and greatly suppresses the short channel effect.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-8379

(43) 公開日 平成11年(1999) 1月12日

(51) Int.Cl.⁸

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 X

審査請求 未請求 請求項の数23 O L (全 24 頁)

(21) 出願番号 特願平9-158672

(22) 出願日 平成9年(1997) 6月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 猪原 正弘

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 松本 雅彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 中山 武雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

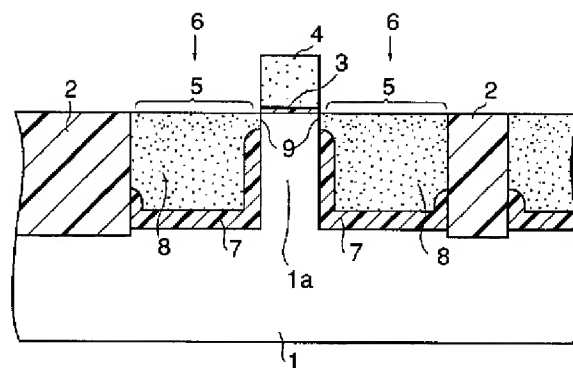
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ショートチャネル効果を抑制しソース・ドレイン・基板間の接合容量とソース・ドレイン領域の直列抵抗の低い高性能MOSトランジスタを提供する。

【解決手段】 MOSトランジスタのソース・ドレイン形成領域に溝を設け、チャネルとの接続部を除いて前記溝の内壁を絶縁膜で被覆し、その内部に伝導度の高い多結晶シリコン、又はエピタキシャルシリコン、又は金属、又は金属シリコン化合物を埋め込むことにより、ソース・ドレイン直列抵抗を低減し、通常ソース・ドレインと基板境界部のPN接合で生じる過大な接合容量を減少させる。またドレイン接合からチャネルの下部の基板領域にPN接合の空乏層が拡大することから生じるショートチャネル効果を抑制することができる。本発明の半導体装置の構造はソース、ドレイン、ゲート電極上に金属シリコン化合物膜を備えた高性能MOSトランジスタの形成にも適用することができる。



【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を介して形成されたMISトランジスタのゲート電極と、前記半導体基板の前記MISトランジスタのソースとなる領域に形成された第1の溝と、前記半導体基板の前記MISトランジスタのドレインとなる領域に形成された第2の溝と、前記第1、第2の溝の間に形成された前記半導体基板の上部表面からなる前記MISトランジスタのチャネル領域と少なくとも前記第1、第2の溝の側壁上部における前記チャネル領域との接続部分を除き前記第1、第2の溝の内部表面に形成された絶縁膜と、前記チャネル領域との接続部分を含めて前記第1、第2の溝に埋め込まれた導電層とを有し、この導電層が前記接続部分を通じて前記チャネル領域に接続されることを特徴とする半導体装置。

【請求項2】 基板上に堆積された絶縁膜と、前記絶縁膜の一部に形成された開口部と、前記開口部を埋め込む半導体層と、前記半導体層上にゲート絶縁膜を介して形成されたMISトランジスタのゲート電極と、前記絶縁膜の前記MISトランジスタのソースとなる領域に形成された第1の溝と、前記絶縁膜の前記MISトランジスタのドレインとなる領域に形成された第2の溝と、前記第1、第2の溝の間に形成された前記半導体層の上部表面からなる前記MISトランジスタのチャネル領域と、少なくとも前記絶縁膜における前記チャネル領域との対向部が除去されて形成された前記第1、第2の溝の側壁上部における前記チャネル領域との接続部分と、前記チャネル領域との接続部分を含めて前記第1、第2の溝に埋め込まれた導電層とを有し、この導電層が前記接続部分を通じて前記チャネル領域に接続されたことを特徴とする半導体装置。

【請求項3】 前記第1、第2の溝と前記チャネル領域との接続部分に前記MISトランジスタの拡張ソース領域と拡張ドレイン領域とを備えたことを特徴とする請求項1、2のいずれか1つに記載の半導体装置。

【請求項4】 前記導電層は、多結晶シリコンからなることを特徴とする請求項1乃至請求項3のいずれか1つに記載の半導体装置。

【請求項5】 前記導電層は、前記第1、第2の溝に埋め込まれた多結晶シリコン層と、これに積層して前記接続部分に露出した前記半導体基板または前記半導体層と前記多結晶シリコン層からエピタキシャル成長したエピタキシャル層との2層構造からなることを特徴とする請求項1乃至請求項3のいずれか1つに記載の半導体装置。

【請求項6】 前記導電層は、前記チャネル領域との接

続部分の下方まで前記第1、第2の溝に埋め込まれた金属層または金属シリコン化合物層と、これに積層して前記チャネル領域との接続部分を含めて前記第1、第2の溝に埋め込まれた多結晶シリコン層との2層構造からなることを特徴とする請求項1乃至請求項3のいずれか1つに記載の半導体装置。

【請求項7】 前記導電層は、前記第1、第2の溝の底部に埋め込まれた金属層または金属シリコン化合物層と、これに積層して前記第1、第2の溝に埋め込まれた多結晶シリコン層と、これに積層して前記接続部分に露出した半導体基板または前記半導体層と前記多結晶シリコン層からエピタキシャル成長したエピタキシャル層との3層構造からなることを特徴とする請求項1乃至請求項3のいずれか1つに記載の半導体装置。

【請求項8】 前記拡張ソース領域と拡張ドレイン領域とを覆うように前記ゲート電極のソース側とドレイン側に形成された前記ゲート電極の側壁絶縁膜を有することを特徴とする請求項3記載の半導体装置。

【請求項9】 前記ゲート電極と前記導電層は、多結晶シリコンとその上部に積層された金属シリコン化合物との2層構造からなることを特徴とする請求項3記載の半導体装置。

【請求項10】 前記金属シリコン化合物は $TiSi_2$ 、 $CoSi$ 、 WSi_2 、 $MoSi_2$ のいずれか1つであることを特徴とする請求項9記載の半導体装置。

【請求項11】 基板上に形成された第1導電型の半導体領域と、この第1導電型の半導体領域を挟んで前記基板上に形成された1対の第2導電型の半導体領域と、前記第1導電型の半導体領域上に絶縁膜を介して形成された導電部材と、前記第1導電型の半導体領域と1対の第2導電型の半導体領域の間にそれぞれ形成された絶縁部材とを有し、前記絶縁部材の最上部の高さは、前記第1導電型の半導体領域の上面より低く、前記絶縁部材の上方に前記第1導電型の半導体領域と1対の第2導電型の半導体領域との接続部分が形成されていることを特徴とする半導体装置。

【請求項12】 前記絶縁部材は、前記接続部分を除き、前記第2導電型の半導体領域を囲繞するように形成されたことを特徴とする請求項11記載の半導体装置。

【請求項13】 前記第1導電型の半導体領域がMISトランジスタのチャネル領域、前記1対の第2導電型の半導体領域が前記MISトランジスタのそれぞれソース領域とドレイン領域、前記導電部材が前記MISトランジスタのゲート電極であることを特徴とする請求項11、12のいずれか1つに記載の半導体装置。

【請求項14】 前記チャネル領域と前記ソース領域及びドレイン領域の間にそれぞれ前記MISトランジスタの拡張ソース領域と拡張ドレイン領域とを備えたことを

特徴とする請求項 1 3 記載の半導体装置。

【請求項 1 5】 前記ゲート電極と前記ソース領域及びドレイン領域は、多結晶シリコンとその上部に積層された金属シリコン化合物との 2 層構造からなることを特徴とする請求項 1 4 記載の半導体装置。

【請求項 1 6】 半導体基板上に素子分離領域を形成し、
前記半導体基板上にゲート絶縁膜を介して M I S トランジスタのゲート電極を形成する工程と、
前記素子分離領域及びゲート電極と自己整合的に前記半導体基板を異方性エッチングすることにより前記半導体基板の前記 M I S トランジスタのソース・ドレインとなる領域に溝を形成する工程と、
前記半導体基板上に第 1 の絶縁層を堆積し、前記溝を埋め込む工程と、
前記第 1 の絶縁層の表面を平坦化し、この平坦化された第 1 の絶縁層を異方性エッチングすることにより、前記溝の底部に前記第 1 の絶縁層を残存させる工程と、
この工程後の前記溝の幅の半分及び深さより膜厚が小さい第 2 の絶縁層を前記半導体基板上に堆積し、前記第 2 の絶縁層を異方性エッチングすることにより、前記溝のゲート電極側の側壁上部に半導体基板の表面を露出させる工程と、
前記半導体基板上にさらに多結晶シリコンを堆積して、前記溝を埋め込む工程と、
前記多結晶シリコンの表面を平坦化し、この平坦化された多結晶シリコンを異方性エッチングすることにより前記素子分離領域が露出するまで前記多結晶シリコンを除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 1 7】 半導体基板上に素子分離領域を形成し、
前記半導体基板上にゲート絶縁膜を介して M I S トランジスタのゲート電極を形成し、前記ゲート電極に側壁絶縁膜を形成する工程と、
前記素子分離領域と前記側壁絶縁膜を備えたゲート電極と自己整合的に前記半導体基板を異方性エッチングすることにより前記半導体基板の前記 M I S トランジスタのソース・ドレインとなる領域に溝を形成する工程と、
前記半導体基板上に第 1 の絶縁膜を堆積し、前記溝を埋め込む工程と、
前記第 1 の絶縁膜の表面を平坦化し、この平坦化された第 1 の絶縁膜を異方性エッチングすることにより、前記溝の底部に前記第 1 の絶縁膜を残存させる工程と、
この工程後の前記溝の幅の半分及び深さより膜厚が小さい第 2 の絶縁膜を前記半導体基板上に堆積し、前記第 2 の絶縁膜を異方性エッチングすることにより前記溝のゲート電極側の側壁上部に半導体基板の表面を露出させる工程と、
前記半導体基板上にさらに多結晶シリコンを堆積して前

記溝を埋め込む工程と、
前記多結晶シリコンの表面を平坦化し、この平坦化された多結晶シリコンを異方性エッチングすることにより前記素子分離領域が露出するまで前記多結晶シリコンを除去する工程と、
前記側壁絶縁膜を除去し、この側壁絶縁膜に覆われた半導体基板を露出する工程と、
前記半導体基板の露出部分に不純物イオンを打ち込む工程とを有することを特徴とする半導体装置の製造方法。
【請求項 1 8】 半導体基板上に素子分離領域を形成し、前記半導体基板上にゲート絶縁膜を介して M I S トランジスタのゲート電極を形成する工程と、
前記ゲート電極をマスクとして少なくとも前記ゲート電極近傍の前記 M I S トランジスタの拡張ソース・ドレインとなる領域に不純物イオンを注入する工程と、 前記ゲート電極近傍の前記拡張ソース・ドレインとなる領域を覆うように前記ゲート電極に側壁絶縁膜を形成する工程と、
前記素子分離領域及び前記側壁絶縁膜を備えたゲート電極と自己整合的に前記半導体基板を異方性エッチングすることにより前記半導体基板の前記 M I S トランジスタのソース・ドレインとなる領域に溝を形成する工程と、
前記溝のゲート電極側の側壁上部に露出した前記半導体基板における前記拡張ソース・ドレインとなる領域の表面を除いて、前記溝の内壁を絶縁層で覆う工程と、
前記半導体基板上に多結晶シリコンを堆積して前記溝を埋め込む工程と、
前記多結晶シリコンの表面を平坦化し、この平坦化された多結晶シリコンを異方性エッチングすることにより前記素子分離領域が露出するまで前記多結晶シリコンを除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 1 9】 基板上に絶縁層を形成し、この絶縁層に前記基板に到達する開口部を形成し、この開口部の下部に露出した前記基板表面から M I S トランジスタのチャネル領域を形成する半導体層をエピタキシャル成長する工程と、
このエピタキシャル成長した半導体層の上部表面に、ゲート絶縁膜を介して前記 M I S トランジスタのゲート電極を形成する工程と、
前記ゲート電極下部の両側に露出した前記半導体層の表面に前記ゲート電極をマスクとして不純物イオンを注入することにより前記 M I S トランジスタの拡張ソース・ドレインとなる領域を形成する工程と、
この拡張ソース・ドレインとなる領域とこれに隣接する前記絶縁層の一部を覆うように前記ゲート電極の側壁絶縁膜を形成する工程と、
この側壁絶縁膜を備えたゲート電極と自己整合的に前記絶縁層を異方性エッチングすることにより前記絶縁層の前記 M I S トランジスタのソース・ドレインとなる領域

に溝を形成する工程と、
前記側壁絶縁膜を等方性エッチングすることにより前記溝と前記半導体層との間に残された前記絶縁層を露出させ、この絶縁層を異方性エッチングすることにより前記溝のゲート電極側の側壁上部で前記半導体層における前記拡張ソース・ドレインとなる領域を露出させる工程と、
前記基板上にさらに多結晶シリコンを堆積して前記溝を埋め込む工程と、
前記多結晶シリコンの表面を平坦化し、この平坦化された多結晶シリコンを異方性エッチングすることにより前記絶縁層の上部表面からなる素子分離領域が露出するまで前記多結晶シリコンを除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 0】 前記多結晶シリコンを除去する工程では、前記溝のゲート電極側の側壁上部における半導体基板または半導体層表面が露出するまで前記多結晶シリコンが異方性エッチングされ、かつこの半導体基板または半導体層表面と前記多結晶シリコンから半導体層をエピタキシャル成長する工程とがさらに含まれたことを特徴とする請求項 1 6 乃至請求項 1 9 記載の半導体装置の製造方法。

【請求項 2 1】 前記多結晶シリコンを堆積して前記溝を埋め込む工程の前に、金属または金属シリコン化合物を堆積し前記溝を埋め込む工程と、前記金属または金属シリコン化合物の表面を平坦化し、この平坦化された前記金属または金属シリコン化合物を異方性エッチングすることにより前記溝のゲート電極側の側壁上部における半導体基板または半導体層表面を露出させる工程とがさらに含まれたことを特徴とする請求項 1 6 乃至請求項 2 0 記載の半導体装置の製造方法。

【請求項 2 2】 前記多結晶シリコンを除去する工程の後、前記半導体基板上に高融点金属膜を堆積し前記半導体基板を熱処理することにより、少なくとも前記溝に埋め込まれた多結晶シリコン上の前記高融点金属を金属シリコン化合物に変化させる工程と、前記素子分離領域と前記ゲート電極の側壁絶縁膜上に残留した高融点金属膜を除去する工程とがさらに含まれたことを特徴とする請求項 1 7 乃至請求項 1 9 記載の半導体装置の製造方法。

【請求項 2 3】 前記多結晶シリコンを除去する工程では、前記ゲート絶縁膜の上面以下の高さまで前記多結晶シリコンが異方性エッチングされることを特徴とする請求項 1 6 乃至請求項 1 9 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、M I S トランジスタの構造及びその製造方法に係り、特にソース領域及びドレイン領域の構造とその製造方法に関するものである。

【0 0 0 2】

【従来の技術】図 4 9、図 5 0 を用いて従来の M O S トランジスタの構造とその製造方法の問題点について説明する。

【0 0 0 3】図 4 9 に示すように、半導体基板 1 の上に S T I (Shallow Trench Isolation) 領域 2 とゲート絶縁膜 3 及びゲート電極 4 を形成した後、全面に不純物イオンを注入し、S T I 領域 2 とゲート電極 4 以外のソース・ドレイン形成領域 5 に選択的に不純物を添加して活性化熱処理を行うことにより、ソース・ドレイン拡散層 1 6 を形成することが、従来 M O S トランジスタの典型的な形成方法の 1 つとして行われてきた。

【0 0 0 4】M O S トランジスタの高性能化のためには、前記ソース・ドレイン拡散層 1 6 の抵抗と接合容量を低減することが重要であるが、ソース・ドレイン拡散層 1 6 を形成する際、その抵抗を低減しようとすれば不純物イオンを高濃度に注入しなければならないし、接合容量を低減しようとすれば不純物イオンの注入量を減少しなければならないという、互いに相反する条件が要求されることが問題となっていた。

【0 0 0 5】またチャネル長が短くなるにしたがい、ゲート電極下部の不純物濃度が低い基板領域 1 a において、基板とドレイン間の P N 接合の空乏層がドレイン側から基板領域 1 a に広がり、M O S トランジスタのしきい値電圧が低下するショートチャネル効果が生じやすいという問題があった。

【0 0 0 6】これを抑制するため、図 5 0 に示すように、図 4 9 に比べて全体的にソース・ドレイン領域 5 を浅くすることが有効である。さらに効果を高めるため、図 5 0 に示すようにゲート電極 4 をマスクとして不純物イオンの浅い注入を行い、次にゲート電極 4 に側壁絶縁膜 1 8 を設けこれらをマスクとして高濃度の深いイオン注入を行う。

【0 0 0 7】このように、ソース・ドレイン領域 5 へのイオン注入をショートチャネル効果の抑制に役立つ低不純物濃度の浅い注入領域 1 5 と、ソース・ドレイン間の直列抵抗の低減に役立つ高不純物濃度の深い注入領域 2 1 とに分け、ソース・ドレイン形成領域 5 を 2 重にする方法がとられてきた。

【0 0 0 8】図 5 0 に示すソース・ドレイン形成領域 5 において、浅い拡散層 1 5 の部分を以下拡張ソース・ドレイン領域と呼ぶことにする。

【0 0 0 9】さらに前記ソース・ドレイン間の直列抵抗を低減するため、図 5 0 に示すようにソース・ドレイン形成領域 5 の上に金属シリコン化合物膜 2 0 を設ける構造が知られている。

【0 0 1 0】しかしこの構造では金属シリコン化合物膜 2 0 形成のための熱処理方法や膜の厚さ、ソース・ドレイン領域へのイオン注入の深さ等のプロセス条件の最適化が不十分な場合には前記金属シリコン化合物膜形成時に不均一な反応が生じて、金属シリコン化合物膜 2 0 の

一部がソース・ドレイン接合まで達し、ソース・ドレインと基板の短絡を発生するという問題や、金属シリコン化合物膜20を形成したため反って寄生抵抗が生ずるという問題が発生した。また、この構造ではソース・ドレインと基板間で生ずる接合容量の低減と、微細化の両立が難しいという問題もあった。

【0011】

【発明が解決しようとする課題】上記したように、従来のMOSトランジスタの構造及びその製造方法において、チャンネル長が短くなるに従ってショートチャンネル効果を生じ、これを抑制するためにソース・ドレイン領域の不純物濃度を高くすれば、ソース・ドレイン領域における接合容量が増大し、MOSトランジスタの動作速度が低下するという問題があった。

【0012】また、従来2重注入型のソース・ドレイン形成領域を有するMOSトランジスタにおいて、性能向上のためソース・ドレイン形成領域に金属シリコン化合物膜を設ければ、プロセス条件により接合リークが生じ易く、接合容量や寄生抵抗が低減できないという問題を生じていた。

【0013】本発明は上記の問題点を解決すべくなされたもので、ショートチャンネル効果の抑制、ソース・ドレイン領域の寄生抵抗、接合容量及びリーク電流の低減を同時に達成することができるMOSトランジスタの構造とその製造方法を提供することを目的としている。

【0014】

【課題を解決するための手段】本発明のMISトランジスタの構造とその製造方法は、従来行われてきたイオン注入によるソース・ドレイン領域の形成に替えてソース・ドレインを形成しようとする領域に溝を設け、チャンネルと接続する部分を除いて溝の内壁を絶縁膜で被覆し、溝の内部にソース・ドレイン領域として単層又は多層の導電材料からなる導電層を埋め込むことにより、抵抗と接合容量及び接合のリーク電流がいずれも小さく、かつショートチャンネル効果が抑制されたMISトランジスタを形成することに特徴がある。

【0015】すなわち深い溝からなるソース・ドレイン形成領域に導電層を埋め込むことにより、ソース・ドレイン直列抵抗が低減する。また溝の内壁を被覆する絶縁膜により、ソース・ドレイン領域の容量が大幅に低下し、かつドレイン空乏層の半導体基板中への広がりによるショートチャンネル効果が前記絶縁膜により抑制される特徴がある。

【0016】具体的には本発明の半導体装置は、半導体基板上にゲート絶縁膜を介して形成されたMISトランジスタのゲート電極と、半導体基板のMISトランジスタのソースとなる領域に形成された第1の溝と、MISトランジスタのドレインとなる領域に形成された第2の溝と、第1、第2の溝の間に形成された半導体基板の上部表面からなるMISトランジスタのチャンネル領域と、

少なくとも前記第1、第2の溝の側壁上部におけるチャンネル領域との接続部分を除き第1、第2の溝の内部表面に形成された絶縁膜と、チャンネル領域との接続部分を含めて第1、第2の溝に埋め込まれた導電層とを有し、この導電層が前記接続部分を通じてチャンネル領域に接続されることを特徴とする。

【0017】また本発明の半導体装置は、基板上に堆積された絶縁膜と、絶縁膜の一部に形成された開口部と、開口部を埋め込む半導体層と、半導体層上にゲート絶縁膜を介して形成されたMISトランジスタのゲート電極と、前記絶縁膜のMISトランジスタのソースとなる領域に形成された第1の溝と、前記絶縁膜のMISトランジスタのドレインとなる領域に形成された第2の溝と、第1、第2の溝の間に形成された半導体層の上部表面からなるMISトランジスタのチャンネル領域と、少なくとも前記絶縁膜におけるチャンネル領域との対向部が除去されて形成された第1、第2の溝の側壁上部におけるチャンネル領域との接続部分と、チャンネル領域との接続部分を含めて前記第1、第2の溝に埋め込まれた導電層とを有し、この導電層が前記接続部分を通じてチャンネル領域に接続されたことを特徴とする。

【0018】好ましくは本発明の半導体装置は、第1、第2の溝とチャンネル領域との接続部分に前記MISトランジスタの拡張ソース領域と拡張ドレイン領域とを備えたことを特徴とする。

【0019】また好ましくは溝に埋め込む導電層は、単一の多結晶シリコン層、多結晶シリコン層上に積層したエピタキシャル層からなる2層構造、金属層または金属シリコン化合物層上に積層した多結晶シリコン層からなる2層構造、金属層または金属シリコン化合物層と多結晶シリコン層とエピタキシャル層からなる3層構造のいずれかであることを特徴とする。

【0020】また好ましくは本発明の半導体装置は、拡張ソース領域と拡張ドレイン領域とを覆うようにゲート電極のソース側とドレイン側に形成されたゲート電極の側壁絶縁膜を有し、ゲート電極と前記導電層は、多結晶シリコンとその上部に積層された金属シリコン化合物との2層構造からなり、この金属シリコン化合物はチタンシリサイド($TiSi_2$)、コパルトシリサイド($CoSi$)、タングステンシリサイド(WSi_2)、モリブデンシリサイド($MoSi_2$)のいずれか1つであることを特徴とする。

【0021】本発明の半導体装置は、基板上に形成された第1導電型の半導体領域と、この第1導電型の半導体領域を挟んで前記基板上に形成された1対の第2導電型の半導体領域と、前記第1導電型の半導体領域上に絶縁膜を介して形成された導電部材と、前記第1導電型の半導体領域と1対の第2導電型の半導体領域の間にそれぞれ形成された絶縁部材とを有し、この絶縁部材の最上部の高さは第1導電型の半導体領域の上面より低く、絶縁

部材の上方に第1導電型の半導体領域と1対の第2導電型の半導体領域との接続部分が形成されていることを特徴とする。

【0022】好ましくは前記絶縁部材は、前記接続部分を除き、前記第2導電型の半導体領域を囲繞するように形成されたことを特徴とし、また第1導電型の半導体領域がMISトランジスタのチャンネル領域、前記1対の第2導電型の半導体領域がMISトランジスタのソース領域とドレイン領域、前記導電部材がMISトランジスタのゲート電極であることを特徴とする。

【0023】さらに好ましくはチャンネル領域とソース領域及びドレイン領域の間にそれぞれMISトランジスタの拡張ソース領域と拡張ドレイン領域とを備え、またゲート電極とソース領域及びドレイン領域は、多結晶シリコンとその上部に積層された金属シリコン化合物との2層構造からなることを特徴とする。

【0024】本発明の半導体装置の製造方法は、半導体基板上に素子分離領域を形成し、この半導体基板上にゲート絶縁膜を介してMISトランジスタのゲート電極を形成する工程と、前記素子分離領域及びゲート電極と自己整合的に半導体基板を異方性エッチングすることにより半導体基板におけるMISトランジスタのソース・ドレインとなる領域に溝を形成する工程と、前記半導体基板上に第1の絶縁層を堆積し溝を埋め込む工程と、第1の絶縁層の表面を平坦化し、この平坦化された第1の絶縁層を異方性エッチングすることにより溝の底部に前記第1の絶縁層を残存させる工程と、この工程後の溝の幅の半分及び深さより膜厚が小さい第2の絶縁層を前記半導体基板上に堆積し、第2の絶縁層を異方性エッチングすることにより、溝のゲート電極側の側壁上部に半導体基板の表面を露出させる工程と、前記半導体基板上にさらに多結晶シリコンを堆積して溝を埋め込む工程と、多結晶シリコンの表面を平坦化し、この平坦化された多結晶シリコンを異方性エッチングすることにより素子分離領域が露出するまで多結晶シリコンを除去する工程とを有することを特徴とする。

【0025】また本発明の半導体装置の製造方法は、半導体基板上に素子分離領域を形成し、この半導体基板上にゲート絶縁膜を介してMISトランジスタのゲート電極を形成し、このゲート電極に側壁絶縁膜を形成する工程と、素子分離領域と側壁絶縁膜を備えたゲート電極とを用いて自己整合的に半導体基板を異方性エッチングすることにより半導体基板におけるMISトランジスタのソース・ドレインとなる領域に溝を形成する工程と、前記半導体基板上に第1の絶縁膜を堆積し溝を埋め込む工程と、第1の絶縁膜の表面を平坦化し、この平坦化された第1の絶縁膜を異方性エッチングすることにより、溝の底部に第1の絶縁膜を残存させる工程と、この工程後の溝の幅の半分及び深さより膜厚が小さい第2の絶縁膜を半導体基板上に堆積し、第2の絶縁膜を異方性エッチ

ングすることにより溝のゲート電極側の側壁上部に半導体基板の表面を露出させる工程と、前記半導体基板上にさらに多結晶シリコンを堆積して溝を埋め込む工程と、前記多結晶シリコンの表面を平坦化し、この平坦化された多結晶シリコンを異方性エッチングすることにより素子分離領域が露出するまで多結晶シリコンを除去する工程と、前記側壁絶縁膜を除去し、この側壁絶縁膜に覆われた半導体基板を露出する工程と、この半導体基板の露出部分に不純物イオンを打ち込む工程とを有することを特徴とする。

【0026】また本発明の半導体装置の製造方法は、半導体基板上に素子分離領域を形成し、この半導体基板上にゲート絶縁膜を介してMISトランジスタのゲート電極を形成する工程と、このゲート電極をマスクとして少なくともゲート電極近傍のMISトランジスタの拡張ソース・ドレインとなる領域に不純物イオンを注入する工程と、このゲート電極近傍の拡張ソース・ドレインとなる領域を覆うようにゲート電極に側壁絶縁膜を形成する工程と、前記素子分離領域及び側壁絶縁膜を備えたゲート電極と自己整合的に半導体基板を異方性エッチングすることにより半導体基板におけるMISトランジスタのソース・ドレインとなる領域に溝を形成する工程と、溝のゲート電極側の側壁上部に露出した半導体基板における拡張ソース・ドレインとなる領域の表面を除いて溝の内壁を絶縁層で覆う工程と、前記半導体基板上に多結晶シリコンを堆積して溝を埋め込む工程と、多結晶シリコンの表面を平坦化し、この平坦化された多結晶シリコンを異方性エッチングすることにより素子分離領域が露出するまで多結晶シリコンを除去する工程とを有することを特徴とする。

【0027】また本発明の半導体装置の製造方法は、基板上に絶縁層を形成し、この絶縁層に基板に到達する開口部を形成し、この開口部の下部に露出した基板表面からMISトランジスタのチャンネル領域を形成する半導体層をエピタキシャル成長する工程と、このエピタキシャル成長した半導体層の上部表面に、ゲート絶縁膜を介して前記MISトランジスタのゲート電極を形成する工程と、ゲート電極下部の両側に露出した半導体層の表面にゲート電極をマスクとして不純物イオンを注入することによりMISトランジスタの拡張ソース・ドレインとなる領域を形成する工程と、この拡張ソース・ドレインとなる領域とこれに隣接する絶縁層の一部を覆うようにゲート電極の側壁絶縁膜を形成する工程と、この側壁絶縁膜を備えたゲート電極と自己整合的に前記絶縁層を異方性エッチングすることにより前記絶縁層のMISトランジスタのソース・ドレインとなる領域に溝を形成する工程と、側壁絶縁膜を等方性エッチングすることにより溝と半導体層との間に残された絶縁層を露出させ、この絶縁層を異方性エッチングすることにより溝のゲート電極側の側壁上部で半導体層における拡張ソース・ドレイン

となる領域を露出させる工程と、基板上にさらに多結晶シリコンを堆積して溝を埋め込む工程と、前記多結晶シリコンの表面を平坦化し、この平坦化された多結晶シリコンを異方性エッチングすることにより絶縁層の上部表面からなる素子分離領域が露出するまで多結晶シリコンを除去する工程とを有することを特徴とする。

【0028】好ましくは前記多結晶シリコンを除去する工程では、溝のゲート電極側の側壁上部における半導体基板または半導体層表面が露出するまで多結晶シリコンが異方性エッチングされ、かつこの半導体基板または半導体層表面と前記多結晶シリコンから半導体層をエピタキシャル成長する工程とがさらに含まれたことを特徴とする。

【0029】また好ましくは前記多結晶シリコンを堆積して前記溝を埋め込む工程の前に、金属または金属シリコン化合物を堆積し溝を埋め込む工程と、金属または金属シリコン化合物の表面を平坦化し、この平坦化された金属または金属シリコン化合物を異方性エッチングすることにより溝のゲート電極側の側壁上部における半導体基板または半導体層表面を露出させる工程とがさらに含まれたことを特徴とする。

【0030】また好ましくは前記多結晶シリコンを除去する工程の後、半導体基板上に高融点金属膜を堆積し半導体基板を熱処理することにより、少なくとも溝に埋め込まれた多結晶シリコン上の高融点金属を金属シリコン化合物に変化させる工程と、素子分離領域とゲート電極の側壁絶縁膜上に残留した高融点金属膜を除去する工程とがさらに含まれたことを特徴とする。また前記多結晶シリコンを除去する工程では、前記ゲート絶縁膜の上面以下の高さまで前記多結晶シリコンが異方性エッチングされることを特徴とする。

【0031】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。まず図1に基づき、本発明の第1の実施の形態に係る半導体装置について説明する。

【0032】シリコン基板1は例えばシリコン酸化膜(SiO_2)からなるSTI型の素子分離領域2を備え、素子形成領域にはMOSトランジスタのゲート絶縁膜3、ゲート電極4が形成される。

【0033】シリコン基板1には、素子分離領域2とゲート電極4との間のMOSトランジスタのソース・ドレイン形成領域5全体が凹形に加工された溝6が設けられ、この溝6の深さは溝の底面となるシリコン基板1の面が、素子分離領域2の上面と下面との間に位置するように定められる。図1においては、溝6の底面が素子分離領域2の下面近くまで深く形成された場合が示されている。MOSトランジスタのチャネル領域は、溝6により挟まれた基板領域1aの上面に形成される。

【0034】このように素子分離領域2とゲート電極4

との間に形成された溝6の内壁のうち、素子分離領域2に面する側壁はSTIを形成する酸化物膜の表面からなり、溝の底面と他の3方の側壁はシリコン基板1、1aの表面からなっている。

【0035】シリコン表面が露出した前記3方の側壁のうち溝6の底面とゲート電極側の側壁は絶縁膜7により被覆される。このときゲート電極側の側壁は、チャネル領域との接続部分となる側壁上部に露出したシリコン表面9を除いて絶縁膜7で被覆される。

【0036】このように、絶縁膜7で被覆された溝6の内部が、MOSトランジスタのソース・ドレイン形成領域5を構成する導電層8により溝6の開口面まで埋め込まれる。このとき同時にシリコン表面9が導電層8により埋め込まれ、ソース・ドレイン形成領域5がチャネル領域に接続される。

【0037】導電層8の材料としては、例えばゲート電極4の材料と同様な高不純物濃度で基板とは反対の導電型の多結晶シリコンまたは単結晶シリコンが使用される。こうして図1に示す本発明のMOSトランジスタは、図49に示すソース・ドレイン拡散層16よりも深いソース・ドレイン拡散層を有するため、図49に示す従来のMOSトランジスタに比べて、ソース・ドレイン直列抵抗が大幅に低減される。

【0038】なおソース・ドレイン形成領域5に埋め込まれた導電層8が周辺MOSトランジスタとの間で相互に短絡するのを避けるため、導電層8の上面は素子分離領域2の上面以下となるように形成される。また導電層8とゲート電極4との短絡を避けるため、導電層8の上面はゲート絶縁膜4の上面以下となるように形成される。

【0039】ゲート電極4に対向する溝6の側壁と底面とを覆う絶縁膜7の材料は、例えばシリコン酸化膜、シリコン窒化膜等が使用される。このようなMOSトランジスタの構造を用いて、ソース・ドレイン形成領域5に設けた溝6の底面と側壁を覆う絶縁膜7の厚さを50nm以上とすれば、ソース・ドレイン拡散領域とシリコン基板間のPN接合容量が埋め込み導電層8とシリコン基板1、1aとの間の絶縁キャパシタ容量に置き換えられるため、ソース・ドレイン形成領域5とシリコン基板1間の誘電容量を大幅に低減することができる。

【0040】また、ゲート電極4に対向する溝6の側壁に絶縁膜7が存在し、MOSトランジスタのチャネルとして作用しない不純物濃度の低い基板領域1aが絶縁膜7で覆われているため、図49に示す基板領域1aにおいて、従来ドレイン側のPN接合の空乏層の広がり起因して生じていたショートチャネル効果が大幅に抑制される。

【0041】なおショートチャネル効果を完全に除去するためには、チャネルとの接続部分を除き溝6の内面を全て絶縁膜7で被覆することが最も望ましい。しかしな

からチャネルとの接続部分以外に不純物濃度の低い基板領域1 aの一部が絶縁膜7で被覆されていなくても、ショートチャネル効果の抑制が達成される。

【0042】次に図2に基づき、本発明の第2の実施の形態に係る半導体装置について説明する。第2の実施の形態は第1の実施の形態の応用であり、ソース・ドレイン形成領域5に設けた溝6に埋め込む導電層8の材料の種類と構造が異なっている。溝6にはまず第1の導電層8が埋め込まれる。その際第1の導電層8の最上部は絶縁膜7の最上部よりも下、すなわちチャネルと接続するシリコン表面9より下になるようにし、第1の導電層8と基板領域1 aとが直接接触しないようにすることが望ましい。図2では第1の導電層8の最上部が丁度絶縁膜7の最上部と一致する場合が示されている。第1の導電層8の材料としては、例えば多結晶シリコンが使用される。

【0043】次に第1の導電層8の上に第2の導電層12が積層される。その他の構造は前記第1の実施の形態と同様である。第2の導電層12の材料は、チャネルと接続するシリコン表面9と下地の多結晶シリコン8からエピタキシャル成長した高不純物濃度の半導体層を用いる。

【0044】このようなMOSトランジスタの構造を用いれば、ソース・チャネル間及びドレイン・チャネル間を接続するシリコン表面9におけるPN接合形成部分が、基板領域1 aとその表面9からエピタキシャル成長したシリコン単結晶12とからなるため、図1のようにシリコン表面9におけるPN接合形成部分が堆積した多結晶シリコンであることから生じるPN接合の特性劣化を回避することができる。

【0045】特に深いソース・ドレイン拡散層を有することによりソース・ドレイン直列抵抗が低減すること、溝6の内部が絶縁膜7で被覆されることによりシリコン基板1、1 aとの間の容量が低減されること、ショートチャネル効果が抑制されることは前記第1の実施の形態と同様である。

【0046】なおソース・ドレイン形成領域5に埋め込まれたシリコン層12が、周辺MOSトランジスタとの間で相互に短絡するのを避けるため、シリコン層12の上面は素子分離領域2の上面以下となるように形成される。またシリコン層12とゲート電極4との短絡を避けるため、シリコン層12の上面はゲート絶縁膜4の上面以下となるように形成される。

【0047】次に図3に基づき、本発明の第3の実施の形態に係る半導体装置について説明する。第3の実施の形態は第1の実施の形態の応用であり、ソース・ドレイン形成領域5に設けた溝6に埋め込む導電層の材料の種類と構造が異なっている。

【0048】溝6にはまず第1の導電層10が埋め込まれる。その際、第1の導電層10の最上部は絶縁膜7の

最上部よりも下、すなわちチャネルと接続するシリコン表面9より下になるようにし、第1の導電層10と基板領域1 aとが直接接触しないようにする。図3では第1の導電層10の最上部が丁度絶縁膜7の最上部と一致する場合が示されている。第1の導電層10の材料としては例えばタングステン、アルミニウム、銅、チタン等の金属及びこれを含む合金、またはチタンシリサイド、タングステンシリサイド、コバルトシリサイド、モリブデンシリサイド等の金属シリコン化合物のように電気抵抗が低く、かつ第1の導電層10に積層される第2の導電層11との間のコンタクト抵抗が低いものが使用される。

【0049】次に第1の導電層10の上に第2の導電層11が積層される。その他の構造は前記第1の実施の形態と同様である。第2の導電層11の材料は、例えば高不純物濃度の多結晶シリコン11が使用される。

【0050】このようなMOSトランジスタの構造を用いれば、第1の導電層10の導電率が多結晶シリコン11よりも高いので、前記第1の実施の形態に比べてソース・ドレイン直列抵抗の低減効果が大きい。このほかソース・ドレイン誘電容量が低減されること、ショートチャネル効果が抑制されることは前記第1の実施の形態と同様である。

【0051】なお、ソース・ドレイン形成領域5に埋め込まれた多結晶シリコン11が、周辺MOSトランジスタとの間で相互に短絡するのを避けるため、多結晶シリコン11の上面は素子分離領域2の上面以下となるように形成される。また多結晶シリコン11とゲート電極4との短絡を避けるため、多結晶シリコン11の上面はゲート絶縁膜4の上面以下となるように形成される。

【0052】次に図4に基づき、本発明の第4の実施の形態に係る半導体装置について説明する。第4の実施の形態は、第1乃至第3の実施の形態の応用であり、ソース・ドレイン形成領域5に設けた溝6を埋め込む導電材料の種類と構造が異なっている。

【0053】溝6の底部にはまず第1の導電層10が埋め込まれる。第2の導電層11は第1の導電層10の上に積層され、第2の導電層11の最上部は絶縁膜7の最上部よりも下、すなわちチャネルと接続するシリコン表面9より下になるようにし、第1、第2の導電層と基板領域1 aとが直接接触しないようにすることが望ましい。図4では、第2の導電層11の最上部が丁度絶縁膜7の最上部と一致する場合が示されている。第1、第2の導電層の材料は前記第3の実施の形態と同様である。

【0054】次に第2の導電層11の上に第3の導電層12が積層される。その他の構造は前記第1の実施の形態と同様である。第3の導電層12の材料はチャネルに接続するシリコン表面9と下地の多結晶シリコン8からエピタキシャル成長した高不純物濃度のシリコン層を用いる。

【0055】このようなMOSトランジスタの構造を用いれば、ソース・チャネル間及びドレイン・チャネル間を接続するシリコン表面9におけるPN接合形成部分がシリコン単結晶12からなるため、図1のようにPN接合形成部分が堆積した多結晶シリコンであることから生じるPN接合の特性劣化を回避することができる。

【0056】また前述のように、第2の導電層11の最上部がシリコン表面9より下になるようにし、第1、第2の導電層10、11と基板領域1aとが直接接触しないようにされているため、積層された導電層10及び導電層11の境界が、シリコン表面9で不完全なPN接合を形成することによるPN接合の特性劣化が回避される。

【0057】このほか、ソース・ドレイン直列抵抗の低減効果が大きいことは前記第3の実施の形態と同様である。また、ソース・ドレイン誘電容量の低減効果が大きいこと、ショートチャネル効果が抑制されることは前記第1の実施の形態と同様である。

【0058】なおソース・ドレイン形成領域5に埋め込まれたシリコン層12が、周辺MOSトランジスタとの間で相互に短絡するのを避けるため、シリコン層12の上面は素子分離領域2の上面以下となるように形成される。またシリコン層12とゲート電極4との短絡を避けるため、シリコン層12の上面はゲート絶縁膜4の上面以下となるように形成されることは前記第1の実施の形態と同様である。

【0059】次に図5に基づき、本発明の第5の実施の形態に係る半導体装置について説明する。第5の実施の形態は第1乃至第4の実施の形態の応用であるが、第1乃至第4の実施の形態では基板領域1aの上部表面がゲート電極4で完全に覆われていたのに対し、本第5の実施の形態では図5に示すように、基板領域1aの上部表面がゲート電極4の下部表面より大となるようにし、ゲート電極直下のチャネル領域から外部に延長された基板領域1aの上部表面が存在する点が異なっている。

【0060】ゲート電極4の両側に拡張された基板領域1aの上部表面領域13は、MOSトランジスタのチャネルと接続するソース・ドレイン形成領域5の一部として使用される。前記領域13がソース・ドレインの一部として機能するよう、13には例えばAs、P、B等の不純物イオンが注入される。

【0061】このようにゲート電極4の下部に存在するMOSトランジスタのチャネル領域と、ソース・ドレイン形成領域5に埋め込まれた導電層8との間を接続するイオン注入拡散層13を拡張ソース・ドレイン領域として用いる。その他の構造は第1の実施の形態と同様である。

【0062】絶縁膜7で被覆された溝6の内面は多結晶シリコンからなる導電層8によりその開口面まで埋め込まれ、側壁上部に露出されたシリコン表面9において導

電層8は前記拡張ソース・ドレイン領域13を通じてチャネル領域に接続される。

【0063】このようなMOSトランジスタの構造を用いれば、導電層8は拡張ソース・ドレイン領域13のシリコン表面9と接触し、ソース・ドレインとチャネルの接触部に形成されるPN接合は基板領域1a内に存在するため、良好なPN接合特性を得ることができる。

【0064】前記第1乃至第4の実施の形態において説明したソース・ドレイン形成領域5に埋め込む導電層の種類と構造は、全て本第5の実施の形態に用いることができる。ソース・ドレイン間の直列抵抗と誘電容量を低減すること、ショートチャネル効果が抑制されることは前記第1乃至第4の実施の形態と同様である。

【0065】なおソース・ドレイン形成領域5に埋め込まれた導電層が、周辺MOSトランジスタとの間で相互に短絡するのを避けるため、前記導電層の上面は素子分離領域2の上面以下となるように形成されること、また前記導電層とゲート電極4との短絡を避けるため、前記導電層の上面はゲート絶縁膜4の上面以下となるように形成されることも前記第1乃至第4の実施の形態と同様である。

【0066】次に図6に基づき、本発明の第6の実施の形態に係る半導体装置について説明する。第6の実施の形態は第1乃至第5の実施の形態の応用であるが、ゲート電極4の側壁に絶縁膜4aが存在する点が異なっている。絶縁膜4aとしては、例えばシリコン酸化膜、シリコン窒化膜等を使用する。

【0067】このようにすれば、導電層8がゲート絶縁膜3の最上部より上に存在しても、導電層8とゲート電極4とが短絡しないという特徴がある。その他の構造は第1の実施の形態と同様であるから、前記第1乃至第5の実施の形態で説明したその他の事項は、全て本第6の実施の形態についても成り立つようにすることができる。

【0068】次に図7に基づき本発明の第7の実施の形態に係る半導体装置について説明する。第7の実施の形態は第5の実施の形態の変形例であり、ソース・ドレイン形成領域5に溝6を設ける構造を基本としている。前記溝6に埋め込まれる導電層は、高不純物濃度の多結晶シリコン8の上に金属シリコン化合物膜20が形成された構造からなり、金属シリコン化合物膜20が拡張ソース・ドレイン領域15に接続されること、またゲート電極4が高不純物濃度の多結晶シリコンからなる場合にはゲート電極4の上にも金属シリコン化合物膜20を形成し得ることに特徴がある。

【0069】さきに図50について説明したように、浅い拡散層15と深い拡散層21からなる2重拡散層型のソース・ドレイン形成領域5と、多結晶シリコンからなるゲート電極4上に金属シリコン化合物膜20を形成する従来の高性能MOSトランジスタの構造は、金属シリ

コン化合物膜形成のための熱処理方法や、金属シリコン化合物膜20の厚さ、ソース・ドレイン領域へのイオン注入の深さ等のプロセス条件により、ソース・ドレイン拡散層15、21とシリコン基板1との間に接合リークが生じ易いこと、接合容量が低減できないこと、金属シリコン化合物膜20を形成したために反って寄生抵抗が発生する場合があること等の多くの問題点が含まれていた。

【0070】ここで、前記金属シリコン化合物膜20を備えた従来のMOSトランジスタの問題点であるソース・ドレイン拡散層と基板間の接合リークは、ソース・ドレイン拡散層を十分な厚さとしてすることができないため、その上部に設けた金属シリコン化合物膜20の一部が、ソース・ドレインPN接合まで達することにより生ずる。

【0071】とくに拡張ソース・ドレイン領域15はショートチャネル効果を防止するため浅く注入されるので、前記突き抜けの影響はきびしいものとなる。また図50に示すように、シリコン基板1とソース・ドレイン形成領域との間が全てPN接合で分離される構造では接合容量が大きくなることは明らかである。

【0072】一方図7に示す本発明の半導体装置は、シリコン基板1、素子分離領域2、ゲート絶縁膜3、高不純物濃度の多結晶シリコンからなるゲート電極4、拡張ソース・ドレイン領域15、ゲート側壁絶縁膜18、これと素子分離領域2との間に設けられた溝6、拡張ソース・ドレイン領域15と接続するシリコン表面9を除いて溝6の内壁と底面とを覆う絶縁膜19、前記シリコン表面9の下まで溝6を埋め込む高不純物濃度の多結晶シリコン8、この上の前記シリコン表面9で拡張ソース・ドレイン領域15に接続された金属シリコン化合物膜20、多結晶シリコンからなるゲート電極4の上に形成された金属シリコン化合物膜20から構成される。

【0073】第5の実施の形態との構造上の相違点は、金属シリコン化合物膜20がゲート電極4を含めて多結晶シリコン層8の上に形成されること、ゲート側壁絶縁膜18が溝6上の金属シリコン化合物膜20とゲート電極4上の金属シリコン化合物膜20とを分離する役割を果たしていることである。

【0074】金属シリコン化合物膜20は必ずしも均一な組成である必要はなく、熱処理により高融点金属膜と多結晶シリコンとの界面に生じた金属シリコン化合物膜であって、上部に未反応の高融点金属膜が残留したものでもよい。またゲート側壁の絶縁膜18の材料は窒化膜が用いられるが、酸化膜の上に窒化膜を積層した構造であってもよい。

【0075】また、周辺MOSトランジスタとの間で溝6に埋め込まれた金属シリコン化合物20が相互に短絡するのを避けるため、金属シリコン化合物20の上面は素子分離領域2の上面以下となるように形成される。

【0076】このようなMOSトランジスタの構造を用いれば、図50に示した従来の金属シリコン化合物膜20を有するものに比べて溝6の内面が絶縁膜19で覆われ、かつ溝6が十分に深く形成されるので、不均一に形成された金属シリコン化合物20がソース・ドレイン形成領域5を突き抜け、前記リーク電流の原因になることが回避される。またゲート電極4の上にも金属シリコン化合物膜20が形成されるのでゲート抵抗が減少し、さらにMOSトランジスタの性能を向上することができる。

【0077】なお、図7では特に多結晶シリコン上に金属シリコン化合物膜を形成する場合を想定して、製造工程を容易にするため溝6が浅く形成されているが、これを第1乃至第6の実施の形態と同様に深くして、前記第1乃至第6の実施の形態で説明したのと同様な種類と構造を有する導電層を埋め込むことにより、ソース・ドレイン間の直列抵抗と容量が低減され、ショートチャネル効果が抑制されたMOSトランジスタが得られることはいうまでもない。

【0078】なおソース・ドレイン形成領域5に埋め込まれた導電層が、周辺MOSトランジスタとの間で相互に短絡するのを避けるため、前記導電層の上面は素子分離領域2の上面以下となるように形成されることは前記第1乃至第6の実施の形態と同様である。

【0079】また本第7の実施の形態ではゲート側壁絶縁膜18が存在するため、前記導電層の上面がゲート絶縁膜3の最上部より上に存在しても、前記導電層とゲート電極4とが短絡しない。その他の構造は第1の実施の形態と同様であるから、前記第1乃至第5の実施の形態で説明したその他の事項は、全て本第7の実施の形態についても成り立つようにすることができる。

【0080】次に図8に基づき、本発明の第8の実施の形態に係る半導体装置について説明する。第8の実施の形態は第1乃至第7の実施の形態の変形例であり、単結晶基板上に堆積した絶縁膜にソース・ドレイン形成用の溝を設け、チャネル領域が前記単結晶基板から前記溝の間にエピタキシャル成長した半導体層上に設けられる構造を基本としている。

【0081】本発明の半導体装置は、導電性シリコン又はサファイア、スピネル等の絶縁体からなる単結晶基板1の上に堆積された絶縁膜2と、矢印6aの位置に形成された単結晶基板に達するこの絶縁膜2の開口部と、この開口部に露出した前記単結晶基板1の表面から前記開口部を埋め込むように形成されたシリコン層1bとを有する。

【0082】図8では前記シリコン層1bが単結晶基板1の表面上に形成される場合が示されているが、必ずしも表面上である必要はなく開口部の下部の単結晶基板1を掘り下げてその上に半導体層1bが形成されてもよい。

【0083】このシリコン層1bは、その上面にゲート絶縁膜3を介してゲート側壁絶縁膜18を備えたゲート電極4が形成され、このゲート電極4の下部のシリコン層1bの上面にMOSトランジスタのチャンネル領域が形成される。このチャンネル領域はその両側に形成された拡張ソース・ドレイン領域13を備えている。

【0084】シリコン層1bの両側に広がる絶縁膜2の上のソース・ドレインを形成する領域に溝6が形成され、溝6と半導体層1bとの間には一定の間隔が設けられ、溝6の底面と単結晶基板1との間にも同様に一定の間隔が設けられる。

【0085】ここで溝6とシリコン層1bとの間に残留した絶縁膜2は、シリコン層1bの上部に形成されたチャンネル領域及び拡張ソース・ドレイン領域13と対向するその上部が除去されて、シリコン表面9が露出される。

【0086】このように、シリコン表面9以外が全て前記単結晶基板1上の絶縁膜2の表面で囲まれた溝6に多結晶シリコン8を絶縁膜2の上面の高さまで埋め込むことにより、シリコン表面9において多結晶シリコン8と拡張ソース・ドレイン領域13とが接続される。

【0087】本第8の実施の形態の半導体装置は、ゲート側壁絶縁膜18を備えたことを除き、基本的には図5に示す前記第5の実施の形態の半導体装置と同様である。また、金属シリコン化合物膜20が存在しないことを除き、図7に示す前記第7の実施の形態の半導体装置と同様である。従って前記第1乃至第7の実施の形態で説明したのと同様な種類と構造を有する導電層を溝6に埋め込むことにより、ソース・ドレイン間の直列抵抗と誘電容量が低減されること、ショートチャンネル効果が抑制されることはいうまでもない。

【0088】なおソース・ドレイン形成領域5に埋め込まれた導電層が、周辺MOSトランジスタとの間で相互に短絡するのを避けるため、前記導電層の上面は素子分離領域となる前記絶縁層2の上面以下となるよう形成されることは前記第1乃至第7の実施の形態と同様である。

【0089】また本第8の実施の形態ではゲート側壁絶縁膜18が存在するため、前記第7の実施の形態と同様、多結晶シリコンからなる導電層8とゲート電極4の上に金属シリコン化合物膜を積層し、前記金属シリコン化合物膜と拡張ソース・ドレイン領域13のシリコン表面9とを接続することができる。

【0090】また本第8の実施の形態ではゲート側壁絶縁膜18が存在するため、導電層8の上面がゲート絶縁膜3の最上部より上に存在しても、導電層8とゲート電極4とが短絡しないという特徴がある。その他の構造は第1の実施の形態と同様であるから、前記第1乃至第7の実施の形態で説明したその他の事項は全て本第8の実施の形態についても成り立つようにすることができる。

【0091】ここで本第8の実施の形態の半導体装置の構造上の特徴に基づく利点について説明する。図8に示す半導体装置は、良好なシリコン層1bを形成するため単結晶基板1を用いるが、この単結晶基板は前記第1乃至第7の実施の形態におけるようにシリコン基板に限定されるものではない。

【0092】例えばサファイア、スピネル等の単結晶を用いれば良好なシリコン層1bを形成することが可能であり、導電性のシリコン基板を用いる場合に比べてソース・ドレイン形成領域の容量を大幅に低減することができる。このときMOSトランジスタに付随する容量ばかりでなく、絶縁膜2の上に形成される配線容量も同時に低減することができるので、前記MOSトランジスタからなる集積回路の特性が大幅に向上する。

【0093】また図8に示す半導体装置は、溝6の内面を覆う絶縁膜が図1乃至図6の絶縁膜7及び図7の絶縁膜19と異なり、単結晶基板1の上の絶縁膜2と一体のものとして溝6の形成に付随して同時に形成され、前記半導体装置の構造が単純化される特徴がある。

【0094】また素子分離領域2についてみても、図1乃至図7においては、半導体基板上に例えばSTI構造の素子分離領域を別途形成する必要があったが、図8の構造では単結晶基板1の上に堆積された絶縁層2のうち、溝6の外側に広がる部分がそのまま素子分離領域として作用するので、素子分離領域を別途形成する必要がない。

【0095】次に図9～図20に基づき本発明の第9の実施の形態に係る半導体装置の製造方法について説明する。本第9の実施の形態は前記第1の実施の形態の半導体装置の製造方法を示すものである。

【0096】図9に示すように、通常の方法を用いてシリコン酸化物2を埋め込み材料とするSTI構造の素子分離領域2をシリコン基板1に形成し、シリコン酸化物2のエッチング速度がシリコン基板1よりも大きくなるようエッチング条件を選定して前記シリコン酸化物2をエッチングすることにより、STIの埋め込みシリコン酸化物2の最上部をシリコン基板1の最上部よりも50nm後退させる。

【0097】次に図10に示すように、全面に第1のストッパー膜2aを堆積した後、第1のストッパー膜2aをCMP (Chemical Mechanical Polish) 法、レジストエッチバック法などを用いて平坦化し、図11に示すようにSTIのシリコン酸化物2が第1のストッパー膜2aでキャップされた構造を形成する。シリコン酸化物2の最上部と半導体基板1の最上部との距離はストッパー膜の種類やエッチング条件に応じて変化する。

【0098】第1のストッパー膜2aは、シリコン基板及びシリコン酸化膜をエッチングする際、エッチングストッパーとしての特性を有する必要があり、例えばシリコン窒化膜を用いることができる。

【0099】次に図12に示すように、シリコン基板1の表面に絶縁膜3を形成し、その上にゲート電極材料4と第2のストッパー膜4bを堆積する。

【0100】絶縁膜3としては、シリコン酸化膜、シリコン窒化膜などを用いる。ゲート電極材料4としては、多結晶シリコンまたはアモルファスシリコン等を用いることができる。第2のストッパー膜4bとしては、第1のストッパー膜2aと同一の特性を有する膜を用いるが、第1のストッパー膜2aと第2のストッパー膜4bとは、必ずしも同一材料である必要はない。

【0101】次にレジストをマスクとするリソグラフィ法を用いて、ゲート電極形成用のパターンニングを行い、前記レジストパターン（図示されていない）をエッチングマスクにして第2のストッパー層4bとゲート電極材料4をエッチングすることにより、ゲート電極4を形成する。

【0102】このとき図13に示すように、ゲート電極4の下部の絶縁膜3はゲート絶縁膜3となり、シリコン酸化物2とゲート電極4の上にそれぞれ第1、第2のストッパー膜2aと4bとを設けた構造が形成される。

【0103】次に反応性イオンエッチング（以下RIE；Reactive Ion Etchingと呼ぶ）法を用いて、図13のシリコン基板1を異方性エッチングすることにより、図14に示すように溝6を形成する。溝6の底部はSTIのシリコン酸化物2の最下部よりも上側に位置するように形成される。

【0104】次に図15に示すように第1の絶縁層7を堆積し、CMP法、レジストエッチバック法等を用いて前記第1の絶縁層7を平坦化する。引き続きRIE法により全面を異方性エッチングし、図16に示すように溝6の底部にのみ前記第1の絶縁膜7を厚さ400nm残存させる。

【0105】次に図17に示すように、第2の絶縁膜7aを厚さ50nm堆積し、RIE法等を用いて全面を異方性エッチングする。なおここでの第2の絶縁膜7aの厚さは、溝6が完全に埋め込まれないよう第1の絶縁膜7が底部に残存した状態での溝6の半分かつ溝6の深さより小さく設定されればよい。この工程で図18に示すように、溝6で挟まれた基板領域1aの上部表面に形成されるチャンネルと、次の工程で前記溝6に埋め込まれるソース・ドレイン導電層とを接続するシリコン表面9を除き、溝6の底面と基板領域1aの側面とが前記第1、第2の絶縁層7、7aで覆われた形状となる。

【0106】MOSトランジスタのチャンネルと、溝6に埋め込まれるソース・ドレイン導電層とを接続するシリコン表面9の露出幅は例えば50nmとする。この露出幅はMOSトランジスタの特性に応じて設定される。

【0107】次に導電層8を堆積し、通常のCMP法、レジストエッチバック法等を用いてこれを平坦化して図19に示す構造を形成する。引き続きRIE法等を用い

て全面を異方性エッチングすることにより、図20に示すように溝6に導電層8を埋め込み、シリコン表面9でチャンネル領域に接続されたMOSトランジスタのソース・ドレイン領域5が形成される。

【0108】このとき前記導電層8の最上部は、ゲート絶縁膜3及び第1のストッパー膜2aの上面よりも下に位置するようにして、前記導電層8とゲート電極4又は他のMOSトランジスタの導電層との短絡を防止する。導電層8の材料としては、例えば多結晶シリコン等を用いることができる。以上の工程により第1の実施の形態に係る半導体装置が形成される。

【0109】次に本発明の第10の実施の形態に係る半導体装置の製造方法について説明する。

【0110】第10の実施の形態は第9の実施の形態の応用であり、第6の実施の形態の半導体装置に関する製造方法を示すものである。第9の実施の形態の図13に示されているように第2のストッパー膜4bと高不純物濃度の多結晶シリコンからなるゲート電極4をエッチングによりパターン形成した後、前記多結晶シリコンからなるゲート電極4の側壁表面を熱酸化することにより、図21に示すようにゲート電極4の側壁表面に薄い絶縁膜4aを形成することが前記第9の実施の形態と異なっている。その前後の製造方法は前記第9の実施の形態と同じである。

【0111】このようにゲート電極4の側壁に絶縁膜4aを設けることにより、図20に示す導電層8がゲート絶縁膜3の最上部より上に存在しても、導電層8とゲート電極4は短絡しない。

【0112】前記第6の実施の形態でのべたように、前記導電層とゲート電極とが短絡しないという本実施の形態の製造方法の特徴は、第1乃至第5の実施の形態に係る半導体装置の全てに対して有効である。従ってこのように対策された本発明の半導体装置において、溝6への埋め込み導電層の最上部の高さの制限はエッチングストッパー膜2aを含む素子分離領域2の上面以下であることのみとなる。

【0113】次に図22～24に基づき、本発明の第11の実施の形態に係る半導体装置の製造方法について説明する。第11の実施の形態は、第9、第10の実施の形態の応用であり、第2、第6の実施の形態を組み合わせた半導体装置に関する製造方法を示すものである。

【0114】図22に示す高不純物濃度の多結晶シリコンからなる導電層8を堆積するまでの工程は、ゲート電極4の側壁絶縁膜4aを備えた図21の構造に対して、図14における溝6の形成から図19の工程までを加えた第9の実施の形態と同じ製造方法を用いる。

【0115】次に図23に示すように、多結晶シリコンからなる第1の導電層8の異方性エッチングを、第1の導電層8の最上部が絶縁膜7aの最上部よりも下側になるまで行う。引き続き図24に示すように、チャンネルと

接続するための基板領域1aのシリコン表面9と下地の多結晶シリコン8から、シリコン層からなる第2の導電層12をエピタキシャル成長する。

【0116】このときゲート電極4は絶縁膜4aにより覆われているため、図24に示すように第2の導電層12がゲート絶縁膜3の上部に達しても前記第2の導電層12とゲート電極4とが短絡することはない。

【0117】なおゲート電極4の側壁絶縁膜4aを有しない前記第2の実施の形態の場合には、側壁絶縁膜4aを形成する工程を省略することができるが、第2の導電層12がゲート絶縁膜3の上部以下になるよう第2の導電層の厚さを制御しなければならない。

【0118】次に図25～27に基づき本発明の第12の実施の形態について説明する。

【0119】第12の実施の形態は第9の実施の形態の応用であり、第3の実施の形態の半導体装置に関する製造方法を示すものである。図9から図19までは第9の実施の形態と同じ工程を用いる。ただし、第9の実施の形態においては第1の導電層8は多結晶シリコンであったが、本実施の形態ではこれに替えてタングステン、アルミニウム、銅等の金属、及びこれを含む合金からなる第1の導電層10を用いる。

【0120】また、本実施の形態では図25に示すように、第1の導電層10の最上部が絶縁膜7aの最上部よりも下になるまで第1の導電層10の異方性エッチングを行う。引き続き第2の導電層11を堆積し、通常のCMP法、レジストエッチバック法などを用いて平坦化して図26に示す構造を形成する。

【0121】次に、RIE法などを用いて全面を異方性エッチングすることにより、図27に示すように溝6に埋め込まれた第1の導電層10に積層して第2の導電層11を埋め込む。第2の導電層11の材料としては高不純物濃度の多結晶シリコンを用いる。このとき第2の導電層11の最上部は、この第2の導電層11とゲート電極4又は他のMOSトランジスタのソース・ドレイン導電層との短絡を防止するため、絶縁膜3の上面及び第1ストップパー膜2aの上面よりも下側にしなければならない。これらの前後の工程は第9の実施の形態と同じである。

【0122】なお本第12の実施の形態は、第1の導電層10がチタンシリサイド、コバルトシリサイド、タングステンシリサイド、モリブデンシリサイド等の金属シリコン化合物であっても、同様に実施することができる。

【0123】次に本発明の第13の実施の形態に係る半導体装置の製造方法について説明する。第13の実施の形態は第12の実施の形態の応用であり、第3、第6の実施の形態を組み合わせた半導体装置に関する製造方法を示すものである。

【0124】第13の実施の形態においては、ゲート絶

縁膜3、ゲート電極材料4、ストップパー膜4bの形成のあとに、多結晶シリコンからなるゲート電極4をパターン形成した後、前記ゲート電極4の側壁を酸化して図21に示す絶縁膜4aを形成する点が前記第12の実施の形態と異なっている。その前後の製造方法は第12の実施の形態と同じである。

【0125】このような工程で製造することにより、前記第12の実施の形態に比べて多結晶シリコンからなる第2の導電層11がゲート絶縁膜4の最上部より上に存在しても、第2の導電層11とゲート電極4は短絡しないという特徴を有する。

【0126】次に図28～図30に基づき本発明の第14の実施の形態に係る半導体装置の製造方法について説明する。

【0127】第14の実施の形態は、第11及び第13の実施の形態の応用であり、第6の実施の形態の半導体装置の変形例に関する製造方法を示すものである。図22の構造の形成までは第11の実施の形態と同じ製造方法を用いる。但し本実施の形態では図28に示すように、図22の多結晶シリコン8の代わりに、第1の導電材料10として電気抵抗が低いタングステン、アルミニウム、銅、チタン及びその合金からなる金属、又はチタンシリサイド、コバルトシリサイド、タングステンシリサイド、モリブデンシリサイド等の金属シリコン化合物を使用する。

【0128】第1の導電材料10を異方性エッチングし溝6の底部に埋め込む。次に第2の導電材料として高不純物濃度の多結晶シリコン11を堆積し、通常のCMP法、レジストエッチバック法などを用いて平坦化して、その後RIE法を用いて全面を異方性エッチングし、図29に示すように、第2の導電層11の最上部が絶縁膜7aの最上部よりも下側になるまで行う。

【0129】引き続き図30に示すように、チャネルと接続するための基板領域1aのシリコン表面9と下地の多結晶シリコン11から、高不純物濃度のシリコン層からなる第3の導電層12をエピタキシャル成長する。

【0130】このときゲート電極4は絶縁膜4aにより覆われているため、図30に示すように第3の導電層12がゲート絶縁膜3の上部に達しても前記第3の導電層12とゲート電極4とが短絡することはない。

【0131】次に図31～図34に基づき第15の実施の形態について説明する。第15の実施の形態は第9の実施の形態の応用であり、第5の実施の形態の半導体装置に関する製造方法を示すものである。

【0132】第9の実施の形態におけるゲート絶縁膜3、ゲート電極4及びゲート電極4上のストップパー膜4bをパターン形成した図13の構造の上に、図31に示すようにゲート側壁形成用の絶縁膜14を厚さ50nm堆積し、その後、RIE法などを用いて異方性エッチングを行い、図32に示すゲート側壁絶縁膜14を形成する

点が第9の実施の形態と異なっている。

【0133】ゲート側壁絶縁膜14としては、シリコン酸化膜、シリコン窒化膜、多結晶シリコン膜、アモルファスシリコン膜等を用いる。その他の工程は第9の実施の形態と同様の方法を用いて図33に示す構造を形成する。

【0134】次にドライエッチング又はウェットエッチングを用いてゲート側壁絶縁膜14を除去し、その後図34に示すように、拡張ソース、ドレイン領域となるゲート側壁絶縁膜14の下部のシリコン基板表面13に不純物イオンを注入する。引き続き図19と図20の工程を経て、図5に示す第5の実施の形態の半導体装置が形成される。

【0135】前記シリコン基板表面13へのイオン注入は、図19と図20の工程を経た後溝6に埋め込まれた多結晶シリコンと共に前記シリコン基板表面13に対して行ってもよい。なおストッパー膜4bは、ゲート側壁絶縁膜14と同時に除去されてもよい。このほか第9乃至第14の実施の形態についても本実施の形態と同様の応用が可能である。

【0136】次に図35乃至図41に基づき、本発明の第16の実施の形態について説明する。図35に示すようにシリコン基板1に例えばSTI型の埋め込み素子分離領域2を形成しシリコン基板1の上に厚さ6nmのゲート絶縁膜3を形成する。

【0137】多結晶シリコンからなるゲート電極材料4を厚さ200nm堆積し、その上にシリコン酸化膜16をCVD (Chemical Vapor Deposition)法で堆積後、通常のリソグラフィとRIE法を用いて、シリコン酸化膜16をマスクとしてゲート絶縁膜3とゲート電極4をパターン形成する。

【0138】次に図36に示すように全面にシリコン酸化膜17をCVD法で堆積し、前記ゲート電極をマスクとして半導体基板1にAsを60keV、 $3 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入し、不純物拡散領域15を形成する。さらにシリコン窒化膜18を堆積し、RIE法を用いて異方性エッチングすることによりゲート側壁絶縁膜18を形成する。

【0139】次に図37に示すように、ゲート及びソース・ドレイン上のシリコン酸化膜17をエッチングで除去し、ゲート電極、側壁のシリコン窒化膜18、及び素子分離領域2をマスクとしてRIE法によりソース・ドレイン形成領域のシリコン基板1を異方性エッチングし溝6を形成する。この工程により前記不純物拡散層15は前記溝6により切断され、多結晶シリコンゲート電極4の下部のチャンネルに接続する拡張ソース・ドレイン領域15となる。

【0140】次に図38に示すように、例えば乾燥酸素酸化法により溝6の内壁のシリコン表面を約50nm酸化し、例えば等方性エッチングとRIEによる異方性エ

ッチングとを組み合わせ、チャンネルと接続する前記拡張ソース・ドレイン領域15のシリコン表面9を覆うシリコン酸化膜19の一部を除去する。

【0141】次に図39に示すように、ソース・ドレイン形成領域5の溝6を埋め込む多結晶シリコン膜8を堆積し、レジストを全面塗布した後多結晶シリコンと前記レジストとの選択比が1:1になるようなドライエッチング法を用いて、溝6のみに前記多結晶シリコン膜8が残留したソース・ドレイン形成領域5を得ることができる。このとき前記多結晶シリコン膜8とシリコン基板1は溝6のゲート電極側の側壁上部に露出した拡張ソース・ドレイン領域15のシリコン表面9で確実に接続される。

【0142】次に多結晶シリコンゲート電極4の上部シリコン酸化膜16をエッチングにより除去した後、多結晶シリコンゲート電極4と溝6に埋め込まれた多結晶シリコン膜8にAsを50keV、 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、ゲート電極4とソース・ドレイン形成領域15の前記多結晶シリコン膜を高不純物濃度とする。

【0143】以上のように形成されたMOSトランジスタは、第5の実施の形態の半導体装置と同等であり、ここへのべたトランジスタ特性上の利点を全て備えている。またその製造方法についても、溝6を深くして導電層の埋め込みに第9乃至第14の実施の形態でのべた方法を用いれば、第1乃至第4の実施の形態でのべた全ての埋め込み導電層の構造を有するMOSトランジスタを形成することができる。

【0144】このように形成されたMOSトランジスタの性能をさらに向上させるために、引き続き図40に示すように、例えばスパッタリング法を用いてチタン膜20aを堆積した後、RTA (Rapid Thermal Annealing)法により、ゲート及びソース・ドレイン領域の多結晶シリコン膜の上にチタンシリサイドからなる金属シリコン化合物膜を形成し、素子分離領域2及びゲート側壁絶縁膜18等に残留する不要なチタン膜を硫酸と過酸化水素によるウェットエッチングで除去することにより、図41に示す金属シリコン化合物膜20を備えた高性能MOSトランジスタの構造を自己整合的に形成することができる。

【0145】なお本実施の形態の製造方法に対応する図7の半導体装置の断面図には図41に示すシリコン酸化膜17が示されていないが、このシリコン酸化膜17の役割は図36の不純物拡散層15へのイオン注入の制御性を高めるために形成されたものであり、装置の構成要素として必須のものではないため図7では省略した。

【0146】次に通常の方法により、層間絶縁膜を形成してその平坦化を行い、さらにコンタクトホールを開孔してAl-Si-Cu合金等の金属配線膜のスパッタとパターニングを行い、コンタクトホールを介してソース

・ドレイン領域の拡散領域とゲート電極とを接続する金属配線を形成しn型MOSトランジスタを完成する。不純物の種類を変更すれば、同様にしてp型MOSトランジスタを形成することができるというまでもない。

【0147】次に図42乃至図48に基づき、本発明の第17の実施の形態に係る半導体装置の製造方法について説明する。図42に示すようにシリコン基板1の上に熱酸化法又はCVD法を用いて均一な絶縁膜2を堆積する。次に図43に示すようにレジストパターン2bを用いて前記絶縁膜2にシリコン基板1に達する開口部6aを形成する。シリコン基板1への開口は必ずしも基板1の表面で停止する必要はなく、ある程度基板1を掘り込むように開口してもよい。

【0148】レジストパターン2bを剥離した後、図44に示すように開口部6aの底面に露出したシリコン基板表面から、MOSトランジスタのチャネルを形成するためのシリコン層1bをエピタキシャル成長することにより、前記開口部6aが前記絶縁膜2の上面の高さまで前記シリコン層1bで埋め込まれるようにする。

【0149】具体的にはシリコンのエピタキシャル層の厚さを絶縁膜2の厚さよりも大として、前記絶縁膜2をストッパーとしてCMP法により前記絶縁膜上に広がった過剰のエピタキシャル層を除去する。また選択エピタキシャル法を用いて開口部のみにシリコン層1bを成長するようにしてもよい。

【0150】この後前記シリコン層1bの上部表面に、図45に示すようにゲート絶縁膜3を介して多結晶シリコンゲート電極4を形成する。その形成方法は第9の実施の形態において、図12及び図13を用いて説明した方法と同様である。

【0151】このとき前記シリコン層1bの上面が、多結晶シリコンゲート電極4の下部のチャネル領域より大きくなるよう、ゲート電極4がパターン形成される。さらに多結晶シリコンゲート電極4の下部からその両側に拡張されたシリコン層1bの表面に、前記多結晶シリコンゲート4をマスクとして不純物イオンを浅く注入することにより、拡張ソース・ドレイン領域13を形成する。

【0152】次に図45に示すように、この拡張ソース・ドレイン領域13とこれに隣接する前記絶縁膜2の一部を覆うように、多結晶シリコンゲート電極4の側壁絶縁膜18を形成する。

【0153】次に図46に示すように、このゲート側壁絶縁膜18を備えたゲート電極4と絶縁膜2の素子分離領域とする部分を覆うレジスト2cとをマスクとして、RIE法を用いた異方性エッチングにより前記絶縁膜上のソース・ドレイン形成領域に溝6を設ける。溝6の深さは前記絶縁膜2の厚さよりも小さくなるようにし、溝6の底面とシリコン層1bに対向する側壁に絶縁膜2の一部を残留させる。

【0154】次に図47に示すように、CDE (Chemical Dry Etching) 法を用いてゲート側壁絶縁膜18を等方性エッチングすることにより、シリコン層1bの側壁を覆う絶縁膜2の最上部を露出する。

【0155】このように形成された溝6の上方からRIE法を用いて異方性エッチングすることにより、図48に示すように半導体層1bの上部において、拡張ソース・ドレイン領域13の端面を露出することができる。この工程で素子分離領域となる絶縁膜2はレジスト2cで表面が覆われているため保護される。

【0156】図48と前記第9の実施の形態における図18を比較すれば、両者は構造上近似しているので、第9の実施の形態の図18以降の製造方法はそのまま本実施の形態の製造方法に適用でき、さらに第1乃至第4の実施の形態でのべたすべての埋め込み導電層の構造を有するMOSトランジスタを形成することができるので、そこで説明した特性上の利点をすべて備えていることがわかる。

【0157】また本実施の形態において、図48に示す構造は溝6の形成により同時に溝6の内面を覆う絶縁膜と、レジスト2cの下部に素子分離領域となる絶縁膜が一体のものとして形成されるが、第9の実施の形態では図15乃至図18を用いて説明したように複数の絶縁膜の堆積と平坦化工程とRIEのような異方性エッチングを組み合わせた複雑な工程を必要とする。また第9の実施の形態では素子分離領域2の形成のため別途例えばSTIの形成を行う必要があり、さらに工程数が増加する。

【0158】したがって本第17の実施の形態の製造方法は、シリコン層1bの形成のためエピタキシャル成長が加わることなどの欠点はあるが、実用上十分他の製造方法に匹敵するものである。

【0159】本実施の形態において、エピタキシャル成長基板にシリコンを用いる場合を説明したが、例えばサファイア等高品質のシリコンエピタキシャル成長層が得られるものであれば同様に用いることができる。このとき配線容量の低下等、従来SOI (Silicon on Insulator) 構造で得られた特性上の利点がさらに加わることは、前記第8の実施の形態で説明した通りである。

【0160】またレジスト膜2c除去後の図48と第16の実施の形態の図38とを比較すれば、両者はゲート側壁絶縁膜18を有する点を含めてほぼ同一の基本構造を有している。従ってMOSトランジスタの性能をさらに向上させるために、引き続き図39から図41までの工程を加えれば、金属シリコン化合物膜20を備えた高性能MOSトランジスタの構造を自己整合的に形成することが可能であることがわかる。

【0161】上記第1乃至第17の実施の形態において、STI型の素子分離領域を用いる場合について説明したが、例えばLOCOS (Local Oxidation of Silic

on)等のフィールド酸化による素子分離領域を用いても同様に実施することができることは明らかである。また半導体装置を形成する基板については、一部を除いて全てシリコン基板を用いる場合について説明した。しかし、本発明の半導体装置及びその製造方法はシリコン基板に限定されるものではない。シリコン以外の化合物半導体材料を基板またはチャンネル層として用いる場合についても幅広く適用することができる。さらにゲート絶縁膜としては酸化膜に限らず、窒化膜や窒酸化膜を用いたMISトランジスタであってもよい。その他本発明の要旨を逸脱しない範囲で種々に変形して実施することができる。

【0162】

【発明の効果】上述したように本発明の半導体装置及びその製造方法によれば、MISトランジスタのソース及びドレイン領域の形成方法として、ソース及びドレイン形成領域に溝を形成し、その溝内に種々の構造の絶縁材料と導電材料を積層することにより、短チャンネル化に当り障害となるショートチャンネル効果の抑制と、高性能MISトランジスタの実現に必須の条件となるソース・ドレイン接合容量と直列抵抗の低減とを同時に達成することができる。またゲート上及びソース・ドレイン領域上に金属シリコン化合物膜を備えた高性能でかつ信頼性の高いMISトランジスタを形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の構造を示す断面図。

【図2】本発明の第2の実施の形態に係る半導体装置の構造を示す断面図。

【図3】本発明の第3の実施の形態に係る半導体装置の構造を示す断面図。

【図4】本発明の第4の実施の形態に係る半導体装置の構造を示す断面図。

【図5】本発明の第5の実施の形態に係る半導体装置の構造を示す断面図。

【図6】本発明の第6の実施の形態に係る半導体装置の構造を示す断面図。

【図7】本発明の第7の実施の形態に係る半導体装置の構造を示す断面図。

【図8】本発明の第8の実施の形態に係る半導体装置の構造を示す断面図。

【図9】本発明の第9の実施の形態の半導体装置の製造方法を示す工程断面図。

【図10】本発明の第9の実施の形態の半導体装置の製造方法を示す工程断面図。

【図11】本発明の第9の実施の形態の半導体装置の製造方法を示す工程断面図。

【図12】本発明の第9の実施の形態の半導体装置の製造方法を示す工程断面図。

【図13】本発明の第9の実施の形態の半導体装置の製

造方法を示す工程断面図。

【図14】本発明の第9の実施の形態の半導体装置の製造方法を示す工程断面図。

【図15】本発明の第9の実施の形態の半導体装置の製造方法を示す工程断面図。

【図16】本発明の第9の実施の形態の半導体装置の製造方法を示す工程断面図。

【図17】本発明の第9の実施の形態の半導体装置の製造方法を示す工程断面図。

【図18】本発明の第9の実施の形態の半導体装置の製造方法を示す工程断面図。

【図19】本発明の第9の実施の形態の半導体装置の製造方法を示す工程断面図。

【図20】本発明の第9の実施の形態の半導体装置の製造方法を示す工程断面図。

【図21】本発明の第10の実施の形態の半導体装置の製造方法を示す工程断面図。

【図22】本発明の第11の実施の形態の半導体装置の製造方法を示す工程断面図。

【図23】本発明の第11の実施の形態の半導体装置の製造方法を示す工程断面図。

【図24】本発明の第11の実施の形態の半導体装置の製造方法を示す工程断面図。

【図25】本発明の第12の実施の形態の半導体装置の製造方法を示す工程断面図。

【図26】本発明の第12の実施の形態の半導体装置の製造方法を示す工程断面図。

【図27】本発明の第12の実施の形態の半導体装置の製造方法を示す工程断面図。

【図28】本発明の第14の実施の形態の半導体装置の製造方法を示す工程断面図。

【図29】本発明の第14の実施の形態の半導体装置の製造方法を示す工程断面図。

【図30】本発明の第14の実施の形態の半導体装置の製造方法を示す工程断面図。

【図31】本発明の第15の実施の形態の半導体装置の製造方法を示す工程断面図。

【図32】本発明の第15の実施の形態の半導体装置の製造方法を示す工程断面図。

【図33】本発明の第15の実施の形態の半導体装置の製造方法を示す工程断面図。

【図34】本発明の第15の実施の形態の半導体装置の製造方法を示す工程断面図。

【図35】本発明の第16の実施の形態の半導体装置の製造方法を示す工程断面図。

【図36】本発明の第16の実施の形態の半導体装置の製造方法を示す工程断面図。

【図37】本発明の第16の実施の形態の半導体装置の製造方法を示す工程断面図。

【図38】本発明の第16の実施の形態の半導体装置の

製造方法を示す工程断面図。

【図39】本発明の第16の実施の形態の半導体装置の製造方法を示す工程断面図。

【図40】本発明の第16の実施の形態の半導体装置の製造方法を示す工程断面図。

【図41】本発明の第16の実施の形態の半導体装置の製造方法を示す工程断面図。

【図42】本発明の第17の実施の形態の半導体装置の製造方法を示す工程断面図。

【図43】本発明の第17の実施の形態の半導体装置の製造方法を示す工程断面図。

【図44】本発明の第17の実施の形態の半導体装置の製造方法を示す工程断面図。

【図45】本発明の第17の実施の形態の半導体装置の製造方法を示す工程断面図。

【図46】本発明の第17の実施の形態の半導体装置の製造方法を示す工程断面図。

【図47】本発明の第17の実施の形態の半導体装置の製造方法を示す工程断面図。

【図48】本発明の第17の実施の形態の半導体装置の製造方法を示す工程断面図。

【図49】従来のMOSトランジスタの構造を示す断面図。

【図50】金属シリコン化合物膜を備えた従来のMOSトランジスタの断面図。

【符号の説明】

1…シリコン基板

1a…不純物添加量の少ない基板領域

2…素子分離領域

2a…第1のストッパー絶縁膜

2c…レジスト膜

3…ゲート絶縁膜

4…多結晶シリコンゲート電極

4a…多結晶シリコンゲート電極の側面を覆う絶縁膜

4b…第2のストッパー絶縁膜

5…ソース・ドレイン形成領域

6…ソース・ドレインとなる領域に形成された溝

7…溝の側壁に形成された絶縁膜

7a…溝の側壁絶縁膜の異方性エッチングのマスクとなる絶縁膜

8…溝に埋め込まれる多結晶シリコン膜

9…チャネルと接続するための溝側壁のシリコン表面

10…溝に埋め込まれる第1の導電層

11…溝に埋め込まれる第2の導電層

12…溝に埋め込まれる第3の導電層

13…拡張ソース・ドレイン領域

14…後に除去するゲート側壁絶縁膜

15…拡張ソース・ドレイン領域となる不純物拡散層

16…多結晶シリコンゲート電極のエッチングマスクとなる酸化膜

17…多結晶ゲート電極の側壁を覆う酸化膜

18…ゲート側壁絶縁膜

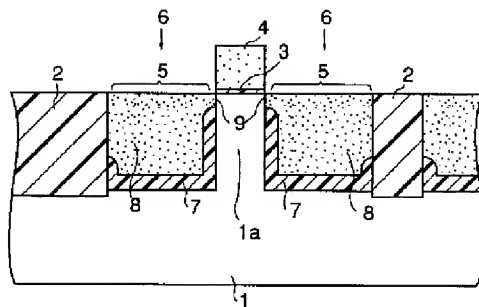
19…溝の底面と側壁を覆う絶縁膜

20…金属シリコン化合物膜

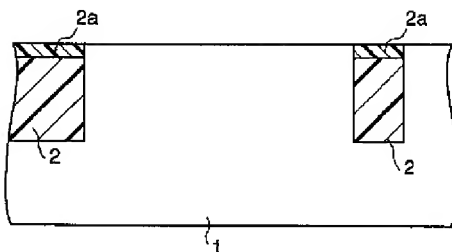
20a…チタン膜

21…ソース・ドレイン拡散領域

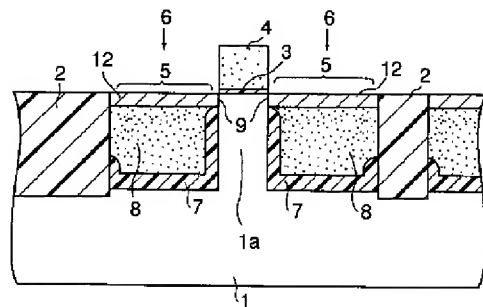
【図1】



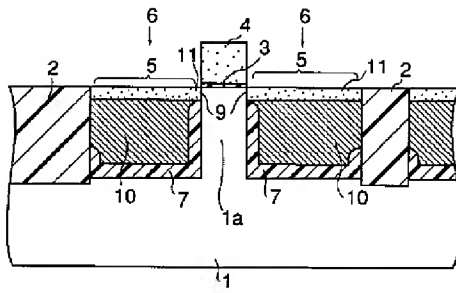
【図11】



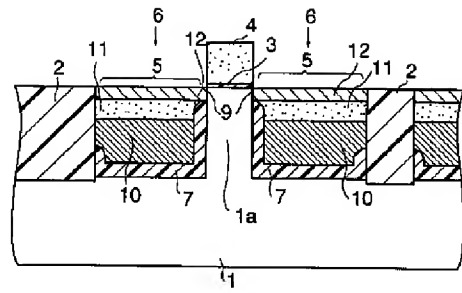
【図2】



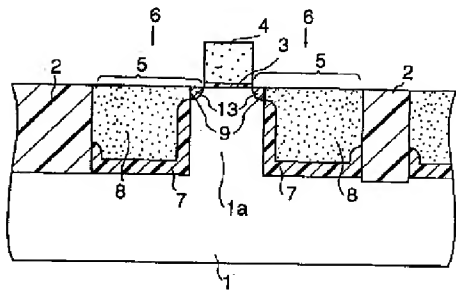
【図3】



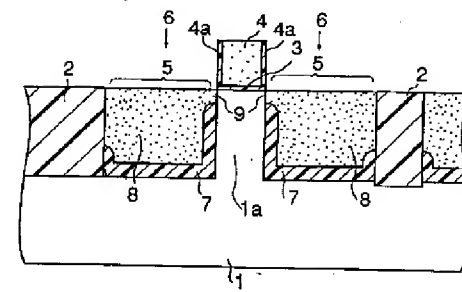
【図4】



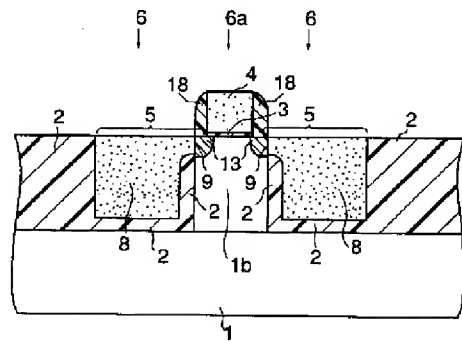
【図5】



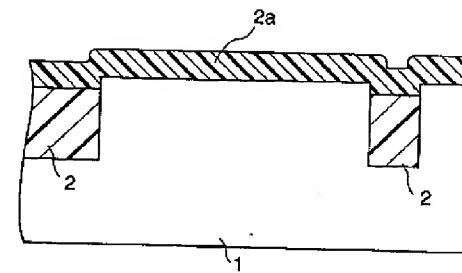
【図6】



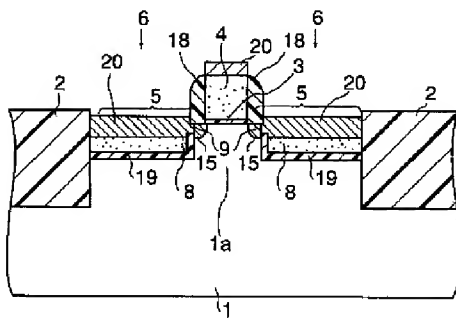
【図8】



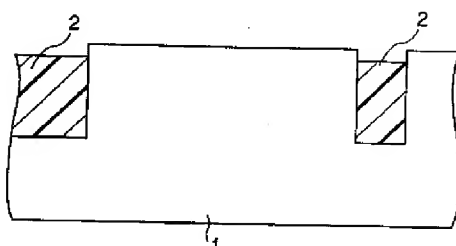
【図10】



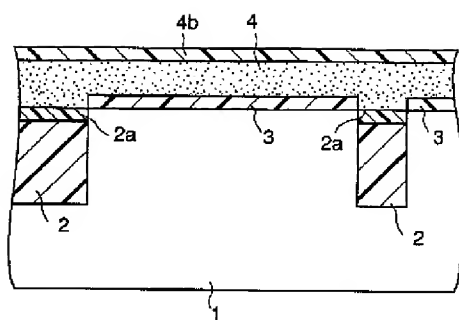
【図7】



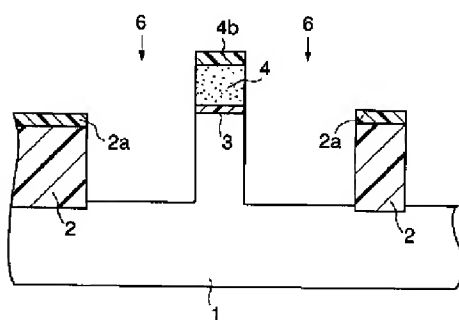
【図9】



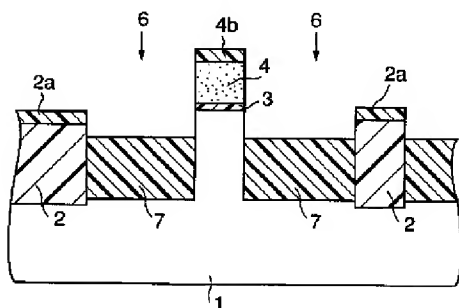
【図12】



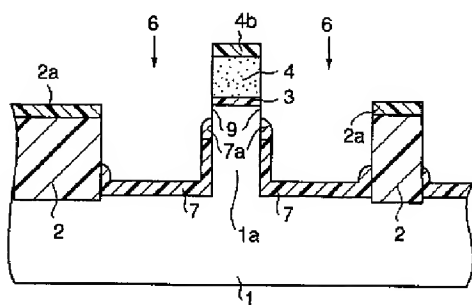
【図14】



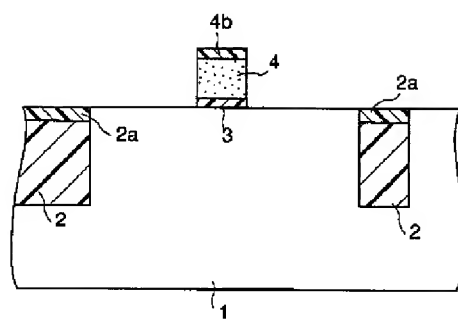
【図16】



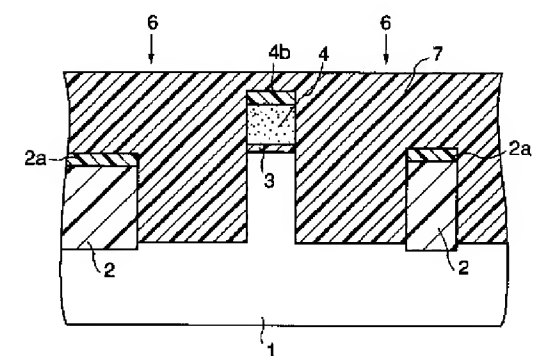
【図18】



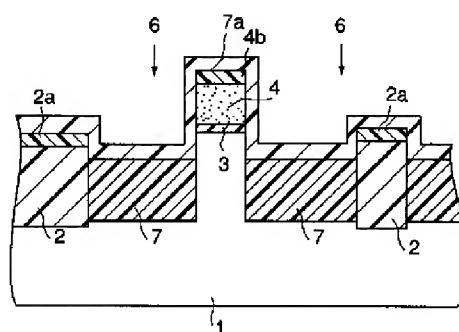
【図13】



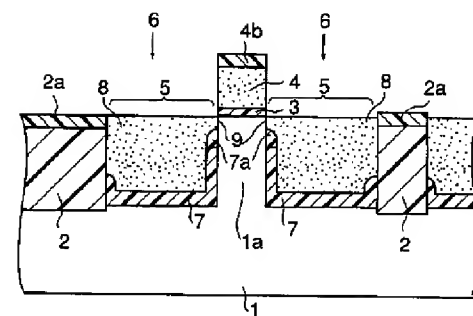
【図15】



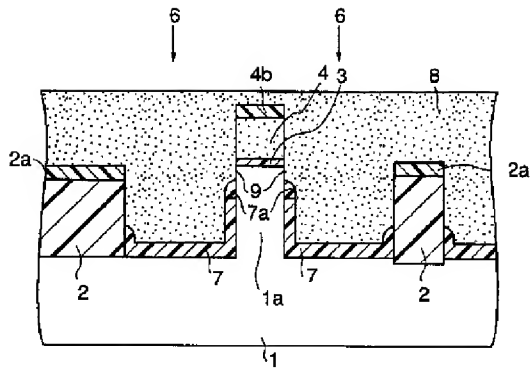
【図17】



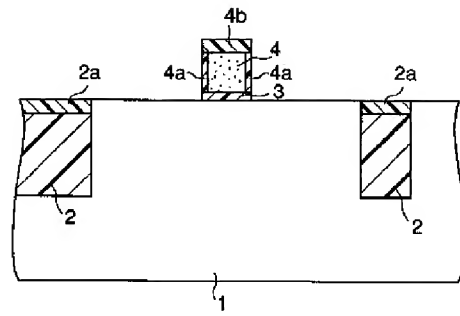
【図20】



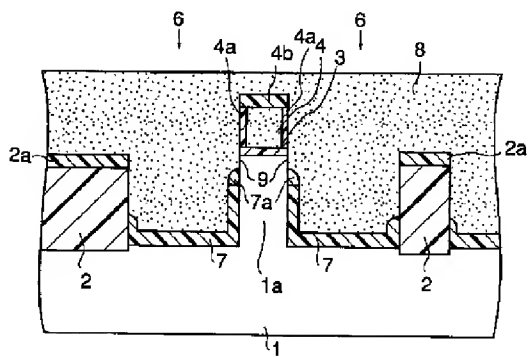
【図 19】



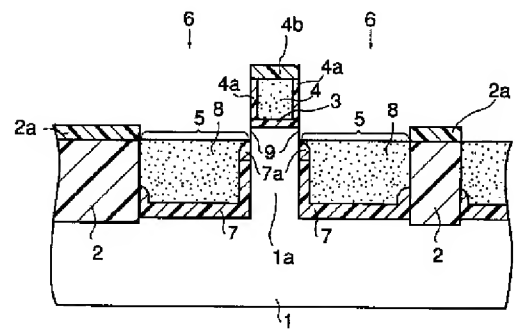
【図 2 1】



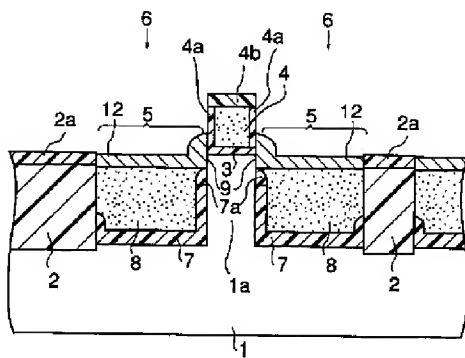
【図 22】



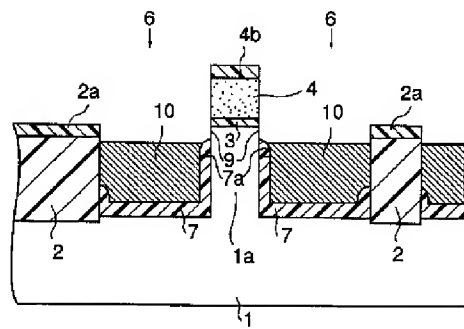
【図 23】



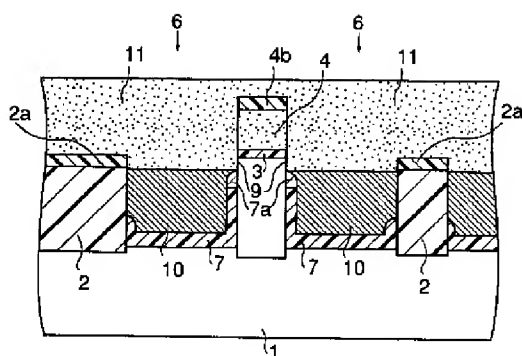
【図 24】



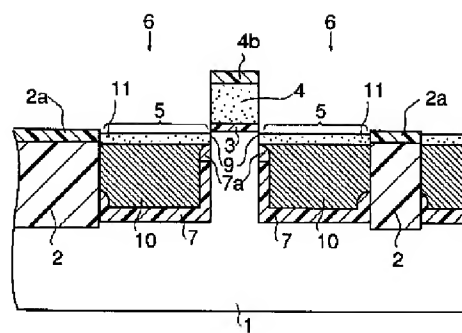
【图 25】



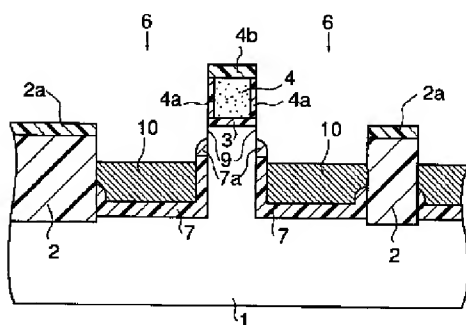
【图 2 6】



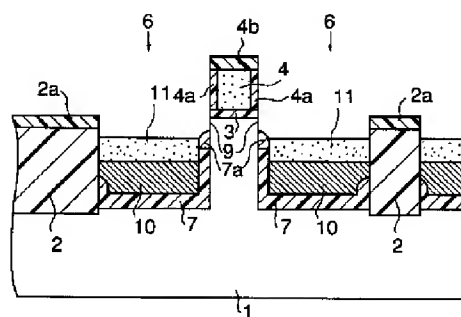
【図 27】



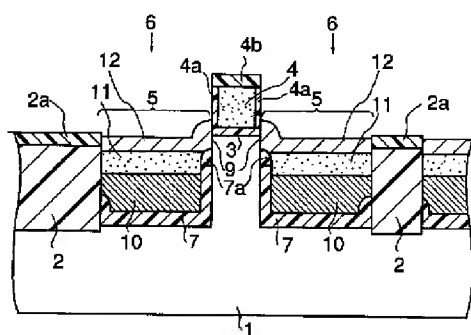
【图 28】



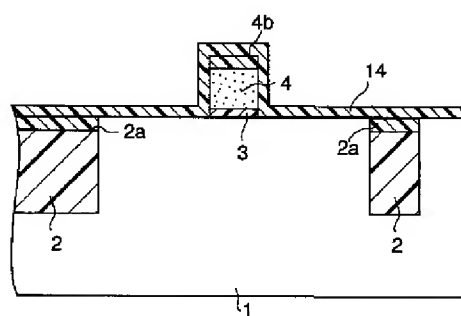
【图 29】



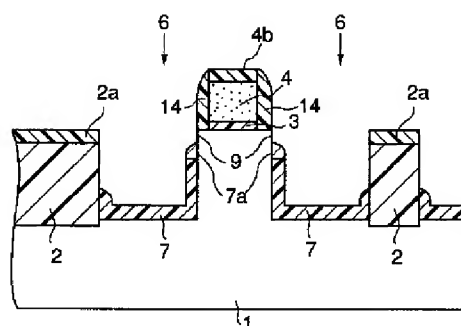
【図 30】



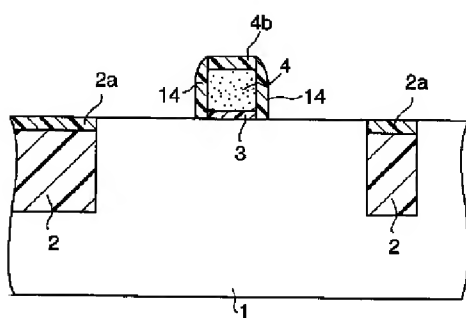
【图 3-1】



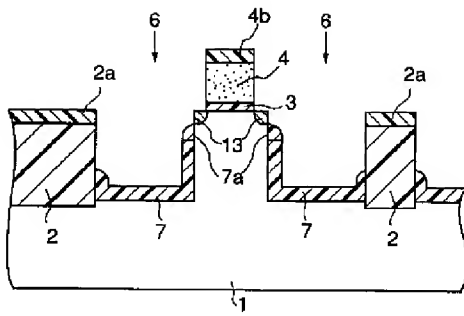
【图 3 3】



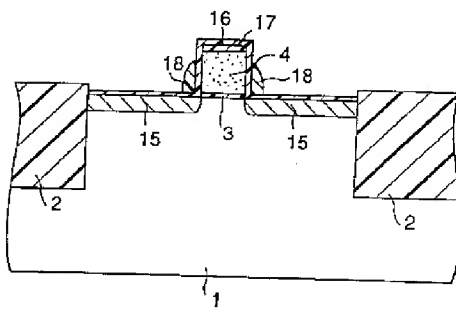
【図 3 2】



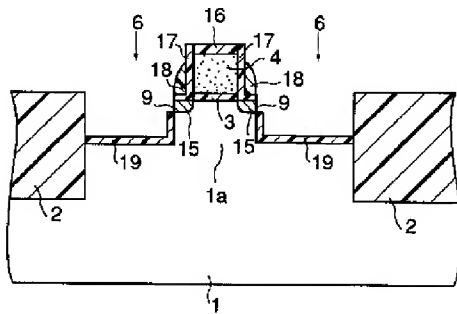
【図 3 4】



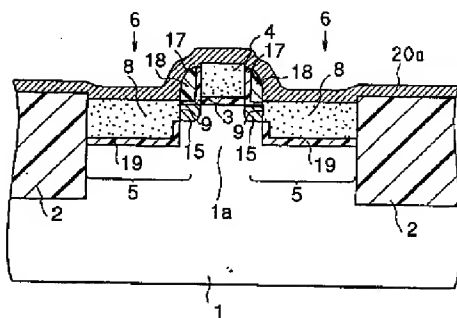
【図 3 6】



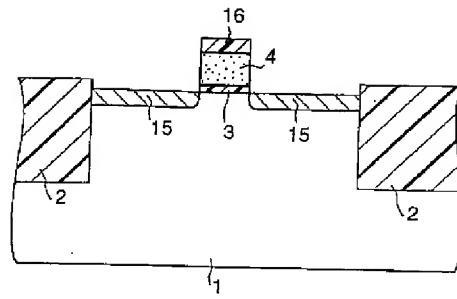
【図 3 8】



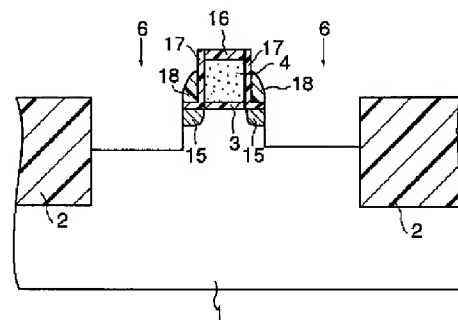
【図 4 0】



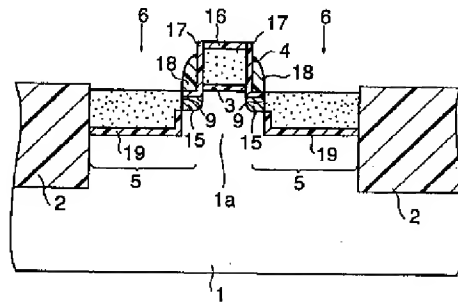
【図 3 5】



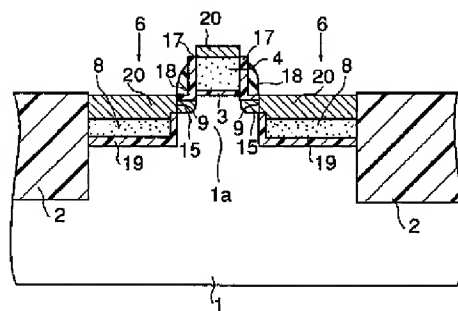
【図 3 7】



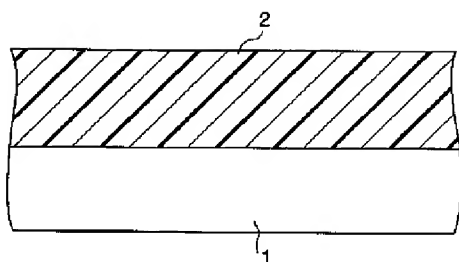
【図 3 9】



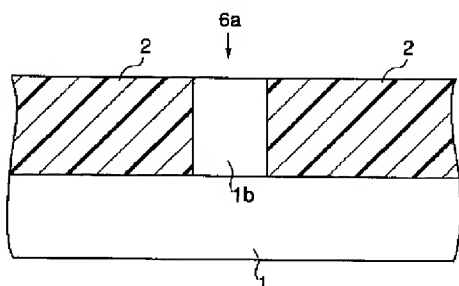
【図 4 1】



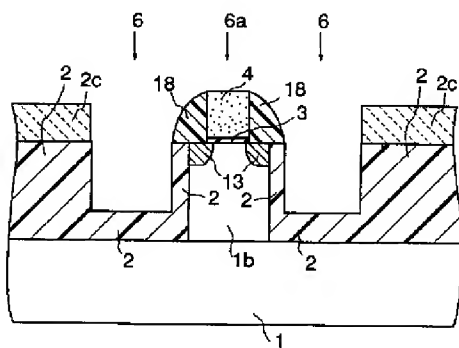
【図 4 2】



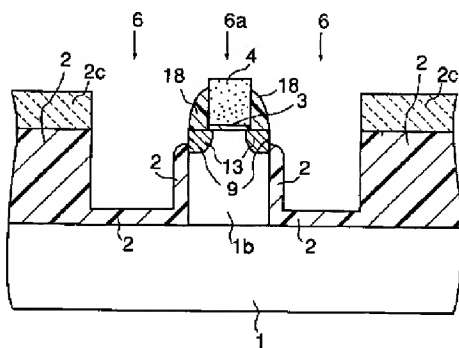
【図 4 4】



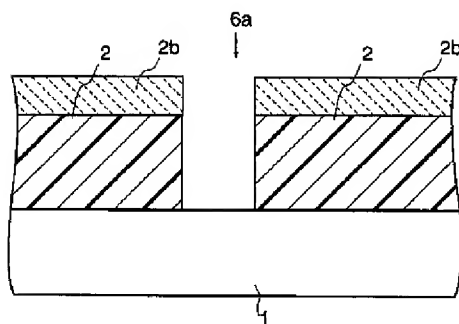
【図 4 6】



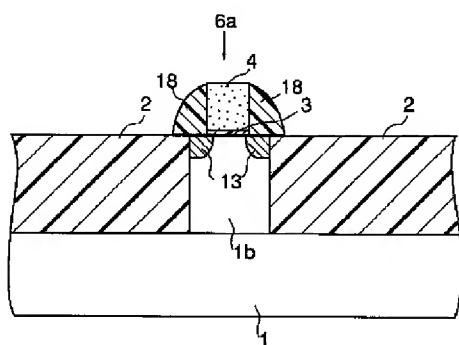
【図 4 8】



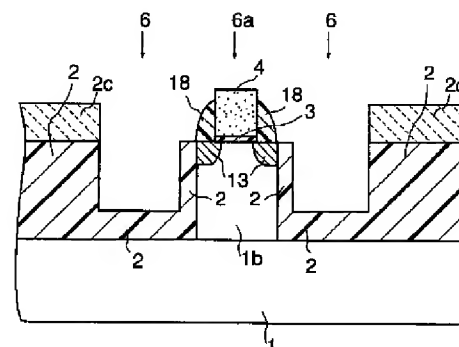
【図 4 3】



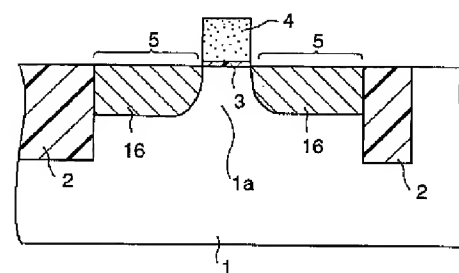
【図 4 5】



【図 4 7】



【図 4 9】



【図 5 0】

